Fremont Micro Devices

FT60F11 / 60F12

数据手册

主要特性

8-bit 基于 EEPROM 的 RISC MCU

Program: 2k x 14; RAM: 128 x 8; Data: 256x 8

6 / 8 / 10 / 14 / 16 引脚

3 个定时器, 3 路独立 PWM – 1 路带死区控制

低 Standby, WDT 和工作电流

POR, LVR, LVD – 单输入比较器

可配置源电流和灌电流

高 ESD, 高 EFT

低 V_{DD} 工作电压

HIRC 可微调

Rev2.05
www.fremontmicro.com

8-bit CPU (EEPROM)

- 37 条 RISC 指令: 2T or 4T
- 16 MHz / 2T (V_{DD} ≥ 2.5)
- 多达 16 个引脚

Memory

- PROGRAM: 2k x 14 bit (读/写保护)
- DATA: 256 x 8 bit
- RAM: 128 x 8 bit
- 8 层硬件堆栈
- 用户密匙：Hex 加密

工作条件 (5V, 25°C)

- V_{DD} (V_{POR} ≤ 1.9V) V_{POR} ~ 5.5 V
  (通过 POR 自动调整，0°C 以上 ≤1.7V)
- 工作温度等级 1 $^{-}$40 ~ $^{+}$125 °C
- 工作温度等级 2 $^{-}$40 ~ $^{+}$105 °C
- 工作温度等级 3 $^{-}$40 ~ $^{+}$85 °C
- 低 Standby 0.2 μA
- WDT 2.3 μA
- 正常模式 (16 MHz) 132 μA/mips

高可靠性

- 100 万次擦写次数 (typical)
- > 20 年 / 85°C 存储 (typical)
- ESD > 4 kV
- EFT > 5.5 kV

PWM (Total 3)

- 支持在 SLEEP 下运行
- 共 3 个通道 (相同周期)：
  - ✓ 独立：占空比，极性
- 1 个通道 (多达 6 个 I/O)：
  - ✓ 互补输出+死区
- 自动故障刹车 (I/O, LVD)
- XOR, XNOR 第 2 功能
- 单脉冲模式；蜂鸣器模式

Timers

- WDT (16-bit): 7-bit 后分频
- Timer0 (8-bit): 8-bit 预分频
- Timer2 (16-bit): 4-bit 预分频和后分频
- 支持在 SLEEP 下运行
- LIRC, 1 or 2x {指令时钟, HIRC, 晶振}, 2x EC

I/O PORTS (多达 14 个 I/O)

- 上拉/下拉电阻
- 14 个 I/O 源电流: 4, 8 or 32mA (5V, 25°C)
- 14 个 I/O 漏电流: 56 or 79 mA (5V, 25°C)
- 8 个 I/O: 中断/唤醒

电源管理

- SLEEP
- LVR: 2.0, 2.2, 2.5, 2.8, 3.1, 3.6, 4.1 (V)
- LVD: 2.0, 2.4, 2.8, 3.0, 3.6, 4.0 (V)
  (LVD 可用作极性可选的单输入比较器功能)

系统时钟 (SysClk)

- HIRC 高速内部振荡器
  - ✓ 16MHz <±1.5% typical (2.5~5.5V, 25°C)
  - ✓ 可微调
  - ✓ 1, 2, 4, 8, 16, 32, 64 分频
- LIRC 低功耗低速内部振荡器
  - ✓ 32 kHz 或 256 kHz
- EC 外部时钟 (I/O 输入)
- LP / XT 晶振输入
  - ✓ 双速时钟启动 (HIRC 或 LIRC)
  - ✓ 故障保护时钟监控

其他特性 (欢迎垂询)

- ½ V_{DD} LCD 偏置

集成开发环境 (IDE)

- 片上调试 (OCD)，ISP
- 3 个硬件断点
- 软复位，暂停，单步，运行等

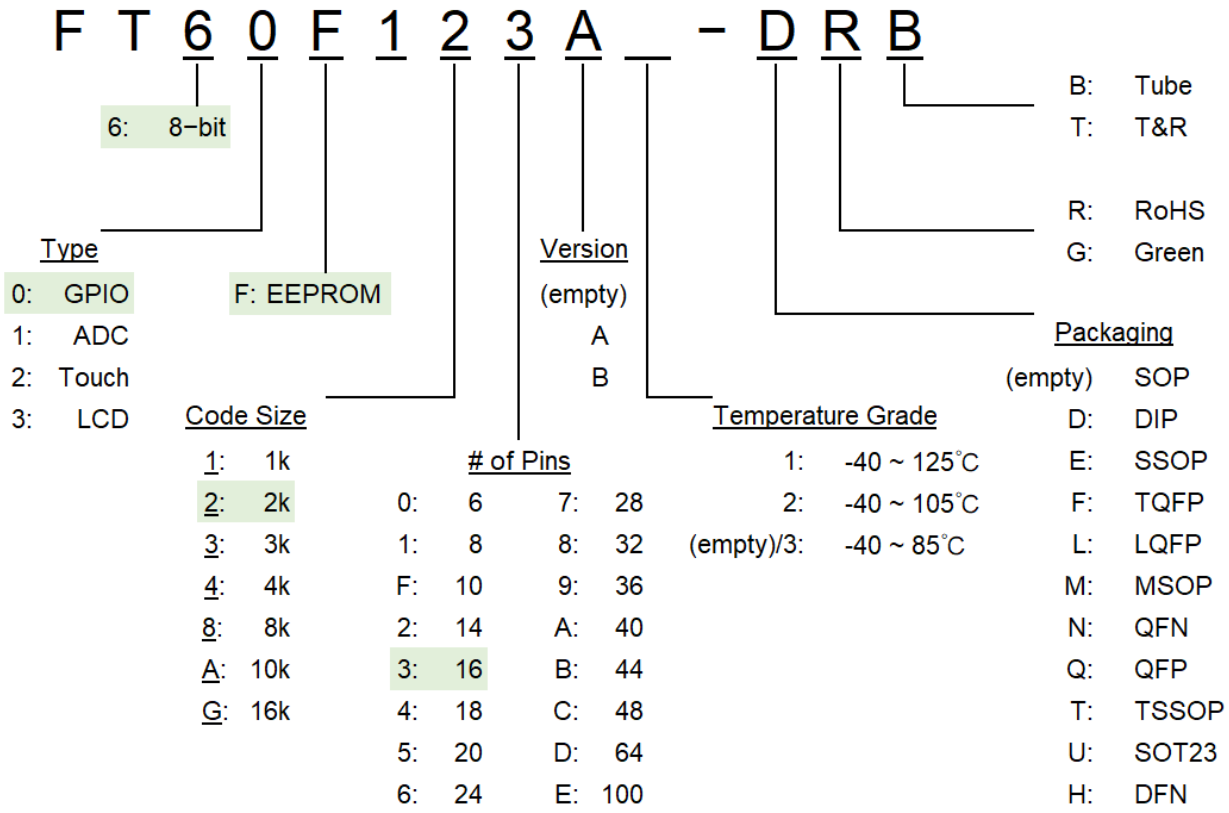
封装

- SOT23-6 SOP8 MSOP10
  SOP14 SOP16

产品信息和选型表

型号	PROM	I/O 数	封装
FT60F11F−Mab	1k x14	8	MSOP10
FT60F112−ab		12	SOP14
FT60F112A−ab			
FT60F120−Uab	2k x14	4	SOT23-6
FT60F121−ab		6	SOP8
FT60F12F−Mab		8	MSOP10
FT60F122−ab		12	SOP14
FT60F122A−ab			
FT60F123−ab		14	SOP16
FT60F123A−ab			

此处 a = R; RoHS = G; Green　　b = B; Tube = T; T&R



MCU 产品订购信息

芯片版本历史

版本	描述
A	初版
B ~ D	内部优化
≥ E	1. 添加 LVDP 到 WDTCON[7]，控制 LVD 极性; 2. 实现 Timer2 时钟源 HIRC 的 2 倍频; 3. 当 PA2, PA3, PA7 的上下拉同时使能时，这些 IO 的斯密特输入将关闭; 4. PA6 的 CLKO 转移到 PC5; 5. 刹车状态下, P1B 和 P1A2N 的极性控制位由 P1POL[5:6]改为 P1POL[6:5]; 6. 添加初始化配置位 LVDDEB，控制 LVD 的去抖使能;

文档修改历史

日期	版本	描述
2018-12-19	1.00	初版
2020-05-09	1.0x	旧格式版本优化
2021-01-28	2.00	全面优化版本 (请忽略初版及旧版本)
2021-08-12	2.01	更新 MCU 产品订购信息，更新 SOP14 封装尺寸
2021-10-22	2.02	更新章节 6.1 振荡器模块相关寄存器汇总表
2021-10-29	2.03	删除 FT60F111-RB 型号
2022-06-10	2.04	更新章节 15 电气特性部分
2022-08-24	2.05	更新章节 6 振荡器和系统时钟部分文字描述

目录

1. 结构框图和引脚 7
1.1 引脚图 8
1.2 引脚描述---按功能分类 10
2. I/O 端口 12
2.1 I/O 端口相关寄存器汇总 14
2.2 I/O 配置 16
3. 上电复位 (POR) 17
3.1 初始化配置时序 17
4. 系统复位 19
4.1 系统复位相关寄存器汇总 20
4.2 欠压复位 (Brown-Out Reset, LVR / BOR) 20
4.3 非法指令复位 (Illegal Instruction Reset) 21
4.4 看门狗定时器 (Watch Dog Timer, WDT) 复位 21
4.5 外部 I/O 系统复位 /MCLRB 22
4.6 检测上次复位类型 22
5. 低电压检测/比较器 (LVD) 23
5.1 LVD 相关寄存器汇总 23
6. 振荡器和系统时钟 24
6.1 振荡器模块相关寄存器汇总 25
6.2 内部时钟模式 (HIRC 和 LIRC) 27
6.3 外部时钟模式 (EC / LP / XT) 28
6.3.1 EC 模式 28
6.3.2 LP 和 XT 模式 28
6.4 HIRC, LIRC 和 EC 时钟的内部切换 29
7. 定时器 (TIMERS) 31
7.1 看门狗定时器 (Watch Dog Timer, WDT) 32
7.1.1 WDT 相关寄存器汇总 32
7.1.2 WDT 的设置和使用 33
7.1.3 在 Timer0 和 WDT 之间切换分频电路 34
7.2 定时器 0 (TIMER0) 35
7.2.1 Timer0 相关寄存器汇总 36

7.3 定时器 2 (TIMER2) 37
7.3.1 Timer2 相关寄存器汇总 38
7.3.2 Timer2 寄存器的读/写操作 39
8. SLEEP 睡眠模式 (POWER-DOWN) 40
8.1 进入 SLEEP 40
8.2 从 SLEEP 中唤醒 41
9. 中断 (INTERRUPTS) 42
9.1 中断相关寄存器汇总 43
9.2 PA2-INT 和 PORTA 端口变化中断 45
10. PWM 46
10.1 PWM 相关寄存器汇总 47
10.2 时钟源 49
10.3 周期 (Period) 49
10.4 占空比 (Duty Cycle) 49
10.5 死区 (Deadband) 时间 50
10.6 故障刹车 (Fault-Break) 功能 50
10.7 周期和占空比寄存器的更新 50
10.8 PWM 输出 51
10.9 (P1B, P1C) 的第 2 功能输出 52
11. 数据 EEPROM (DATA EEPROM) 53
11.1 DATA EEPROM 相关寄存器汇总 53
11.2 写 DATA EEPROM 54
11.3 读 DATA EEPROM 55
12. 存储区读/写保护 55
13. 指令集 (INSTRUCTION SET) 56
14. 特殊功能寄存器 (SPECIAL FUNCTION REGISTERS, SFR) 58
14.1 初始化配置寄存器 58
14.2 用户寄存器 60
14.3 STATUS 寄存器 63
14.4 PCL 和 PCLATH 64
15. 电气特性 65
15.1 极限参数 65

15.2 工作特性 65
15.3 POR, LVR, LVD 66
15.4 I/O 端口电路 67
15.5 工作电流 (I_{DD}) 67
15.6 内部振荡器 68
15.7 Program 和 Data EEPROM 69
15.8 EMC 特性 69
16. 特性图 70
17. 封装信息 75
联系信息 80

1. 结构框图和引脚

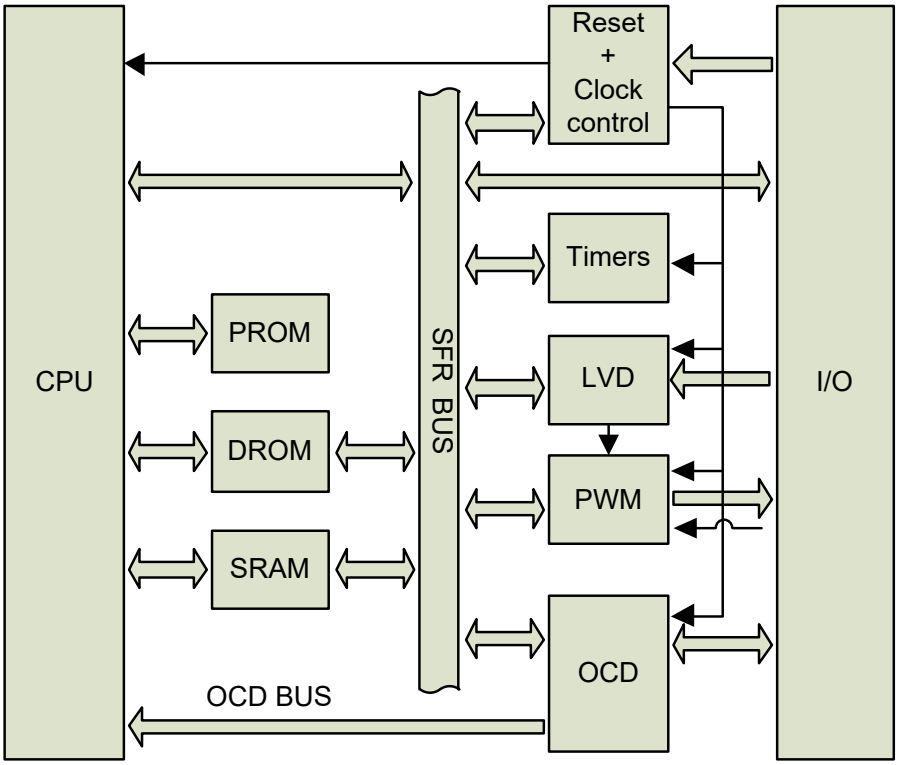


图 1-1 系统结构框图

标准缩写列表如下:

缩写	描述
CPU	Central Processing Unit
SFR	Special Function Registers
SRAM	Static Random Access Memory
DROM	Data EEPROM
PROM	Program EEPROM
Timers	WDT, Timer0, Timer2
PWM	Pulse Width Modulator
LVD	Low Voltage Detect / comparator
OCD	On Chip Debug
I/O	Input / Output

1.1 引脚图

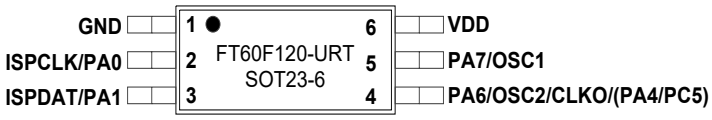


图 1-2 SOT23-6 [1] [2]

图 1-3 SOP8 [2]

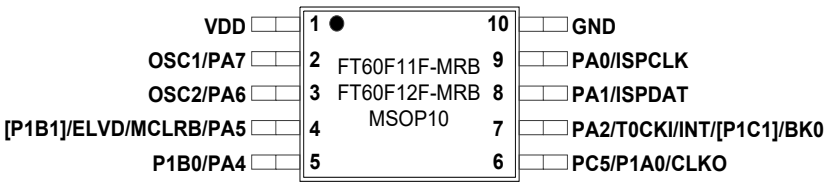


图 1-4 MSOP10 [2]

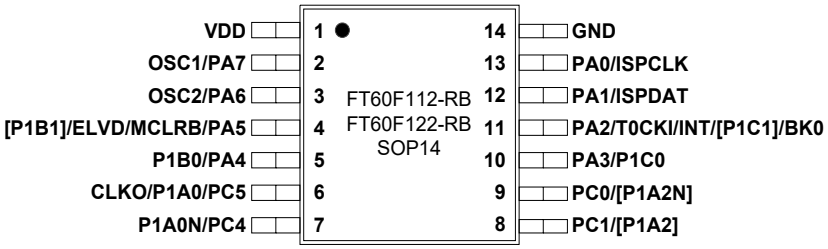


图 1-5 SOP14 [2]

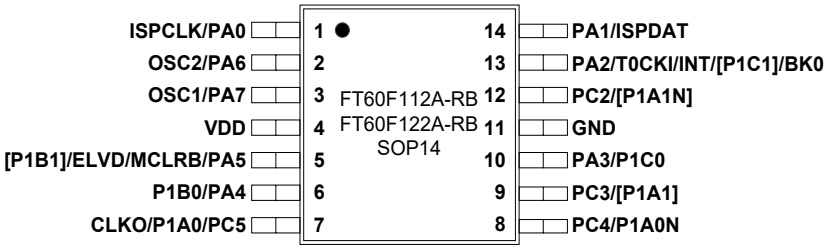


图 1-6 SOP14 [2]

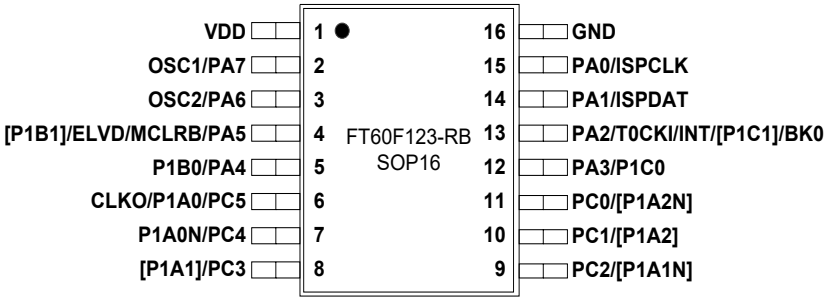


图 1-7 SOP16 [2]

[1] SOT23-6: PA4、PC5 和 PA6 共同打线到 pin-4。如果需要将 PA4、PC5 和 PA6 同时设置为输出，则需满足 PORTA4 = PORTC5 = PORTA6，另外上拉/下拉的设置也不能与输出值相反。

[2] 对于 A~D 版本芯片，时钟输出功能（CLKO）映射在 PA6。

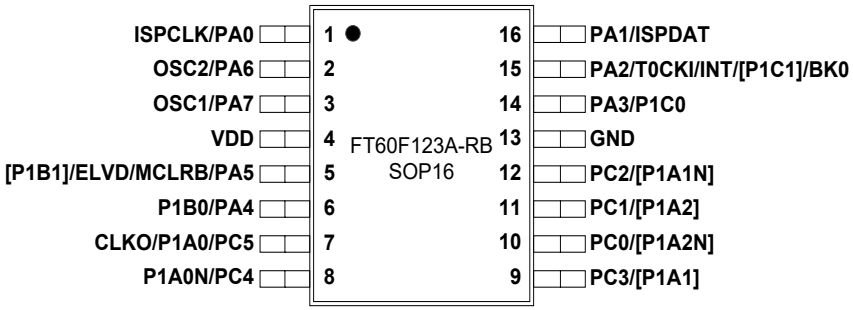

ISPCLK/PA0
OSC2/PA6
OSC1/PA7
VDD
[P1B1]/ELVD/MCLRB/PA5
P1B0/PA4
CLKO/P1A0/PC5
P1A0N/PC4
1
2
3
4
5
6
7
8
FT60F123A-RB
SOP16
16
15
14
13
12
11
10
9
PA1/ISPDAT
PA2/T0CKI/INT/[P1C1]/BK0
PA3/P1C0
GND
PC2/[P1A1N]
PC1/[P1A2]
PC0/[P1A2N]
PC3/[P1A1]

图 1-8 SOP16 [2]

1.2 引脚描述---按功能分类

所有引脚名及其功能列表如下(**表 1-1**)：

功能	描述	引脚名	对应 GPIO	6 pins	8 pins	10 pins	14 pins	14(A) pins	16 pins	16(A) pins
电源		VDD		6	1	1	1	4	1	4
		GND		1	8	10	14	11	16	13
GPIO	上拉/下拉, 数字输入, 数字输出	PC5		(4) [1]	4	6	6	7	6	7
		PC4					7	8	7	8
		PC3						9	8	9
		PC2						12	9	12
		PC1					8		10	11
		PC0					9		11	10
		PA7		5		2	2	3	2	3
		PA6		(4) [1]		3	3	2	3	2
		PA5			2	4	4	5	4	5
		PA4		(4) [1]	3	5	5	6	5	6
		PA3					10	10	12	14
		PA2			5	7	11	13	13	15
		PA1		3	6	8	12	14	14	16
		PA0		2	7	9	13	1	15	1
LVD	输入	ELVD	PA5		2	4	4	5	4	5
时钟	输出	CLKO [2]	PC5	(4) [1]	4	6	6	7	6	7
	Timer0 时钟	T0CKI	PA2		5	7	11	13	13	15
	OSC +	OSC1	PA7	5		2	2	3	2	3
	OSC −	OSC2	PA6	(4) [1]		3	3	2	3	2
ISP 调试	ISP-Data	ISPDAT	PA1	3	6	8	12	14	14	16
	ISP-CLK	ISPCK	PA0	2	7	9	13	1	15	1
外部复位	上拉	/MCLRB	PA5		2	4	4	5	4	5
PA2 边沿中断		PA2-INT	PA2		5	7	11	13	13	15
PORTA 端口变化中断	输入	PA7		5		2	2	3	2	3
		PA6		(4) [1]		3	3	2	3	2
		PA5			2	4	4	5	4	5
		PA4		(4) [1]	3	5	5	6	5	6
		PA3					10	10	12	14
		PA2			5	7	11	13	13	15
		PA1		3	6	8	12	14	14	16
		PA0		2	7	9	13	1	15	1
PWM1 (死区)		P1A0	PC5	(4) [1]	4	6	6	7	6	7
		[P1A1]	PC3					9	8	9
		[P1A2]	PC1				8		10	11
	/PWM1	P1A0N	PC4				7	8	7	8

功能	描述	引脚名	对应 GPIO	6 pins	8 pins	10 pins	14 pins	14(A) pins	16 pins	16(A) pins
	/PWM1	[P1A1N]	PC2					12	9	12
	/PWM1	[P1A2N]	PC0				9		11	10
PWM2		P1B0	PA4	(4) [1]	3	5	5	6	5	6
		[P1B1]	PA5		2	4	4	5	4	5
PWM3		P1C0	PA3				10	10	12	14
		[P1C1]	PA2		5	7	11	13	13	15
PWM 故障刹车输入		BK0	PA2		5	7	11	13	13	15

表 1-1 按功能分类的引脚描述

2. I/O 端口

根据不同的封装类型，FT60F11x / FT60F12x 系列芯片最多有 14 个 I/O 引脚，共分为 2 组：PORTA (8) 和 PORTC (6)。**表 2-1** 列出了所有 I/O 引脚的功能。

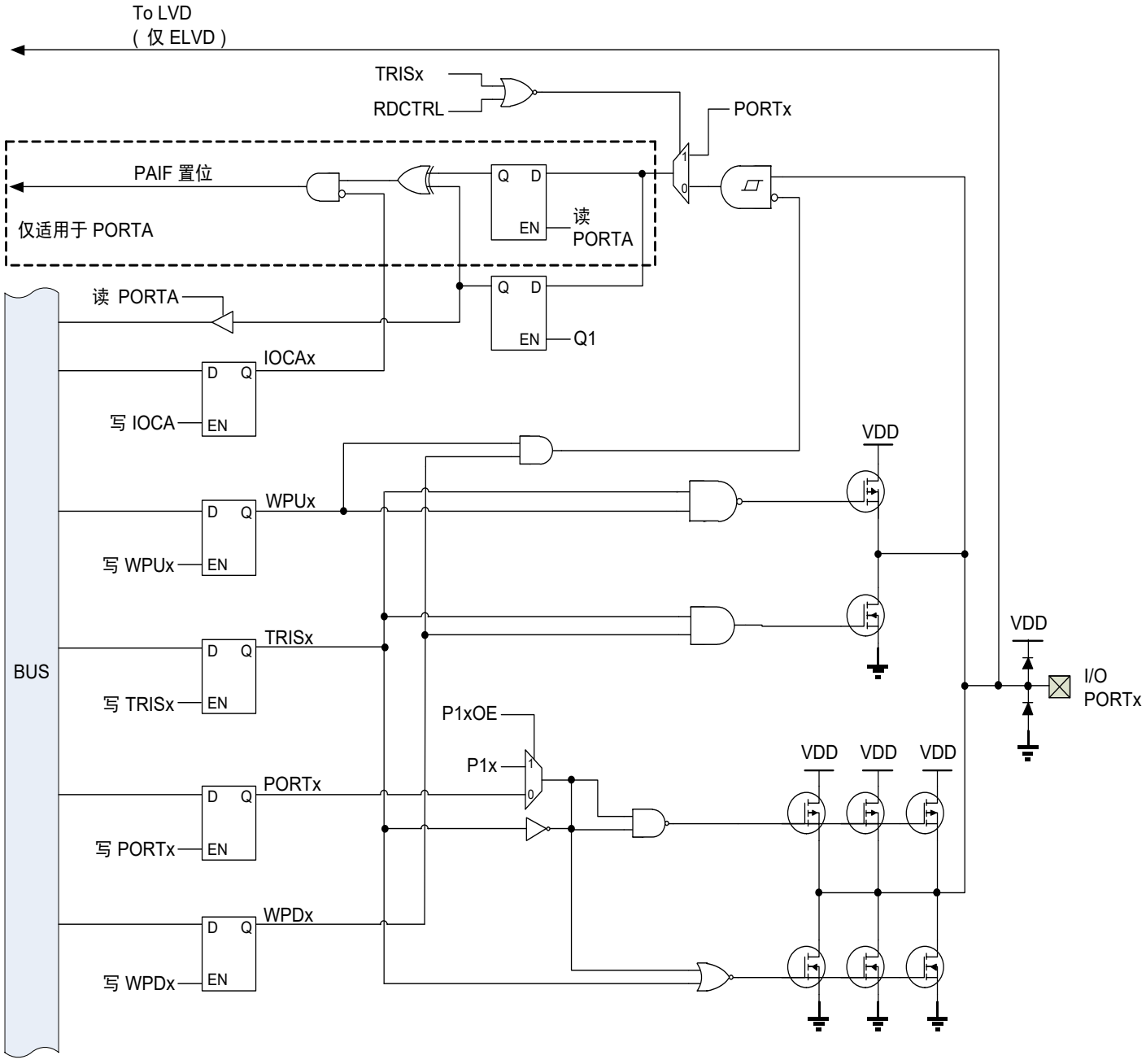


图 2-1 PORT 端口结构框图

所有 I/O 引脚均具有以下功能 (**表 2-3，表 2-4**)：

- 数字输出
- 数字输入
- 弱上拉
- 弱下拉

此外，部分 I/O 还有以下特殊功能：

1. 烧录调试引脚 (ISP-Data，ISP-CLK)，硬件内部连接，不需要设置。
2. 通过 IDE 界面选择，且在芯片初始化配置时加载的功能 (**表 2-2**)：
   - 外部时钟/晶振输入 (OSC1，OSC2)
   - 内部时钟输出
   - 系统外部复位 (/MCLRB)
3. 通过指令对相应 I/O 引脚进行配置的其他功能，可分为 3 类：
   a. 数字输出
      - PWM
   b. 数字输入
      - PWM 故障刹车
      - Timer0 时钟输入
      - 外部边沿中断 (INT)
      - GPIO 端口变化中断
   c. 模拟输入
      - LVD / BOR

引脚名	ISP 调试	时钟	中断	LVD	PWM	数字 I/O 上拉/下拉	源电流 (mA)	灌电流 (mA)
PA0	CLK		√			√	4, 32	56, 79
PA1	DATA		√			√	4, 32	56, 79
PA2			√+ INT		PWM 3	√	4, 32	56, 79
PA3			√		PWM 3	√	4, 8, 32	56, 79
PA4			√		PWM 2	√	4, 8, 32	56, 79
PA5			√ + /MCLRB	ELVD	PWM 2	√	4, 32	56, 79
PA6		OSC−	√			√	4, 32	56, 79
PA7		OSC+	√			√	4, 32	56, 79
PC0					PWM 1N	√	8, 32	56, 79
PC1					PWM 1	√	8, 32	56, 79
PC2					PWM 1N	√	8, 32	56, 79
PC3					PWM 1	√	8, 32	56, 79
PC4					PWM 1N	√	8, 32	56, 79
PC5		输出			PWM 1	√	8, 32	56, 79
注		T0CKI = PA2			BK0 = PA2		V_{DD}=5, V_{DS}=0.5	

表 2-1 I/O 端口功能

注： PA3−4 支持 3 档可配置源电流驱动能力 (参阅 “PSRCAx” 和 “PSRCAHx”，**表 2-4**)，其他 IO 支持 2 档可配置源电流/灌电流驱动能力 (参阅 “PSRCx” 和 “PSINKx”，**表 2-4**)。

2.1 I/O 端口相关寄存器汇总

名称	功能	默认
RDCTRL	当 TRISx = 0 时，读 PORTx 寄存器的返回值 • 输入锁存器 • 输出锁存器	输出锁存器
MCLRE	外部 I/O 复位	关闭
FOSC	• LP：PA7 (+) 和 PA6 (−) 接外部低速晶振 • XT：PA7 (+) 和 PA6 (−) 接外部高速晶振 • EC：PA7 (+) 接外部时钟输入，PA6 为 I/O • INTOSC：PC5 输出“指令时钟”，PA7 和 PA6 为 I/O • INTOSCIO：PA7 和 PA6 为 I/O	INTOSCIO

表 2-2 I/O 相关初始化配置寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
TRISA	0x85	TRISA[7:0], PORTA 方向控制								1111 1111
TRISC	0x87	–		TRISC[5:0], PORTC 方向控制						--11 1111
PORTA	0x05	PORTA 输出寄存器								xxxx xxxx
PORTC	0x07	–		PORTC 输出寄存器						--xx xxxx
WPUA	0x95	PORTA 弱上拉								1111 1111
WPUC	0x93	–		PORTC 弱上拉						--00 0000
WPDA	0x89	PORTA 弱下拉								0000 0000
WPDC	0x8D	–		PORTC 弱下拉						--00 0000
MSCON	0x1B	–		PSRCAH4	PSRCAH3	SLVREN	CKMAVG	CKCNTI	T2CKRUN	--11 0000
PSRCA	0x88	PORTA 源电流设置								1111 1111
PSRCC	0x94	–		PORTC 源电流设置						--11 1111
PSINKA	0x97	PORTA 灌电流设置								0000 0000
PSINKC	0x9F	–		PORTC 灌电流设置						--00 0000
IOCA	0x96	IOCA[7:0]: PORTA 端口变化中断设置								0000 0000
OPTION	0x81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111

表 2-3 I/O 相关用户寄存器的地址和复位值

名称	状态		寄存器	地址	复位值
TRISA	PORTA	PORT端口数字输出 (方向控制) 1 = 关闭 0 = 使能 (关闭上拉/下拉)	TRISA[7:0]	0x85	RW-1111 1111
TRISC	PORTC		TRISC[5:0]	0x87	RW-11 1111
/PAPU	1 = 关闭所有 PORTA 上拉功能 0 = 上拉由 WPUA 控制		OPTION[7]	0x81	RW-1
WPUA	PORTA	弱上拉 1 = 使能 (PORTA 默认值) 0 = 关闭 (PORTC 默认值)	WPUA[7:0]	0x95	RW-1111 1111
WPUC	PORTC		WPUC[5:0]	0x93	RW-00 0000
WPDA	PORTA	弱下拉 1 = 使能 0 = 关闭	WPDA[7:0]	0x89	RW-0000 0000
WPDC	PORTC		WPDC[5:0]	0x8D	RW-00 0000
PORTA	PORTA	数据输出寄存器	PORTA[7:0]	0x05	RW-xxxx xxxx
PORTC	PORTC		PORTC[5:0]	0x07	RW-xx xxxx
PSINKA	PA7-PA0	灌电流 (mA) 1 = 79 0 = 56	PSINKA[7:0]	0x97	RW-0000 0000
PSINKC	PC5-PC0		PSINKC[5:0]	0x9F	RW-00 0000
PSRCA[7:5]	PA7-PA5	源电流 (mA) 1 = 32 0 = 4	PSRCA[7:5]	0x88	RW-111
PSRCAH4	PA4	源电流 (mA) (00) = 4 (01) = 8 / (10) = 8 (11) = 32	MSCON[5]	0x1B	RW-1
PSRCA[4]			PSRCA[4]	0x88	RW-1
PSRCAH3	PA3		MSCON[4]	0x1B	RW-1
PSRCA[3]			PSRCA[3]	0x88	RW-1
PSRCA[2:0]	PA2-PA0	源电流 (mA) 1 = 32 0 = 8	PSRCA[2:0]	0x88	RW-111
PSRCC[5:0]	PC5-PC0		PSRCC[5:0]	0x94	RW-11 1111

表 2-4 I/O 相关用户寄存器

2.2 I/O 配置

每个 PORT 端口，均需根据其相应功能配置以下 4 个模块(**表 2-5**)：

- 弱上拉
- 弱下拉
- 数字输入
- 数字输出

功能	数字输入	上拉/下拉	数字输出	设置
ISP-DATA	On	Off	On	(硬件内置，忽略指令)
ISP-CLK	On	Off	Off	(硬件内置，忽略指令)
/MCLRB	On	上拉	Off	(初始化配置，忽略指令)
时钟输出	(忽略)	Off	On	(初始化配置，忽略指令)
OSC+ (EC)	On	(可选)	Off	(初始化配置，忽略指令)
OSC+ / OSC− (LP, XT)	Off	Off	Off	(初始化配置，忽略指令)
LVD	Off	Off	Off	TRISx = 1
Timer0 时钟	On	(可选)	Off	TRISx = 1
端口变化中断	On	(可选)	Off	TRISx = 1
PA2−INT	On	(可选)	Off	TRISx = 1
BK0	On	(可选)	Off	TRISx = 1
数字输入	On	(可选)	Off	TRISx = 1
PWM	On	Off	On	TRISx = 0
数字输出	On	Off	On	TRISx = 0

表 2-5 I/O 配置标志和用户寄存器

注：

1. TRISx = 0：“数字输出”使能，“上拉/下拉”自动关闭 (忽略 WPDx, WPUx)。
2. TRISx = 1：“数字输出”关闭。
3. 将 PORT 端口设置为 LVD 输入时，其“数字输入”、“上拉”和“下拉”功能被自动关闭。
4. “/PAPU = 1”关闭所有 PAx 端口的“弱上拉”功能。PCx 没有此类控制位。
5. /MCLR 使能：PA5 的弱上拉功能自动使能 (忽略 WPUA[5])；读 PORTA[5] 的值为“0”。
6. 对 PORTx 数据输出寄存器进行写操作，I/O 端口将输出相应的逻辑电平。每组多达 8 个 I/O 的数据寄存器共用相同的地址，写操作实际执行‘读-修改-写’的过程，即先读取该组 PORTx 端口锁存器值 (输出或输入)，然后修改，再写回 PORTx 数据寄存器。
7. 数字输出和数字输入功能可以共存，有些应用需要同时使能数字输出和数字输入。
8. 当 TRISx = 0 时，通过 IDE 界面可选择读取 PORTx 输出或输入锁存器的值。
9. 完全复位或系统复位时，PORTx 寄存器不会复位，但 TRISx 将被重置为“1”，从而关闭输出。

PA2-INT 和 PORTA 端口变化中断的设置，请参阅 **章节 9** “中断”。

3. 上电复位 (POR)

上电过程，即 V_{DD} 从低于 Power-On-Reset 电压(V_{POR})上升至高于 V_{POR} 的过程。当 CPU 重新上电时，V_{DD} 可能没有完全掉电至 0V。

1. 当 V_{DD} 低于 V_{POR} 时，CPU 处于完全复位状态。
   a. 所有校准配置寄存器不复位。除 TMR0、FOSCCAL、PORTx、Z、HC、C、FSR、INDF 和 SRAM 以外 (参阅 **章节 14** "特殊功能寄存器") 的其他特殊功能寄存器 (Special Function Registers, SFR) 均处于复位状态。而不复位的寄存器如 SRAM，将保持其数据直至 V_{DD} 降到 0.6V(典型值)，当 V_{DD} 低于 0.6V 时，其值为不确定值。
   b. 程序计数器 PC = 0x00，指令寄存器 = "NOP"，堆栈指针 = "TOS" (栈顶)。
2. 当 V_{DD} 上升至 V_{POR} 以上时，芯片开始初始化配置(BOOT)过程。
3. 初始化配置完成后，指令将从 PC = 0x00 地址开始执行。

常温(25°C)下，V_{POR} 的典型值~1.6V，低温(-40°C)上升至~1.9V。当 $V_{DD} \geq V_{POR}$ 时，CPU 即可在较低的速度 8 MHz / 2T 下正常工作，因此 V_{DD} 的工作范围随温度变化而自动调整。此特性对于电池供电系统来说很重要，在典型的电池工作环境中，当电池电压低至 1.6V 时，CPU 仍可工作，从而提高电池使用寿命。

注：

1. V_{POR} 不可配置。
2. POR 的硬件电路默认为开启状态，当 V_{DD} 电压低于 V_{POR} 时即执行芯片电源复位，而不是仅在上电时执行。

3.1 初始化配置时序

名称	功能	默认
PWRTEB	上电延时定时器，初始化配置完成后额外延时~64ms	关闭

表 3-1 初始化配置

以上初始化配置，由 IDE 界面设置，不能通过指令修改。初始化配置过程：

1. CPU 空闲等待~4ms；
2. 从非易失性存储器中加载初始化配置寄存器值，该过程~17us。这些寄存器值由 IDE 预先设置，不受指令影响；
3. 如果使能上电延时定时器(Power-On-Timer, PWRT)，CPU 将额外空闲等待~64ms；

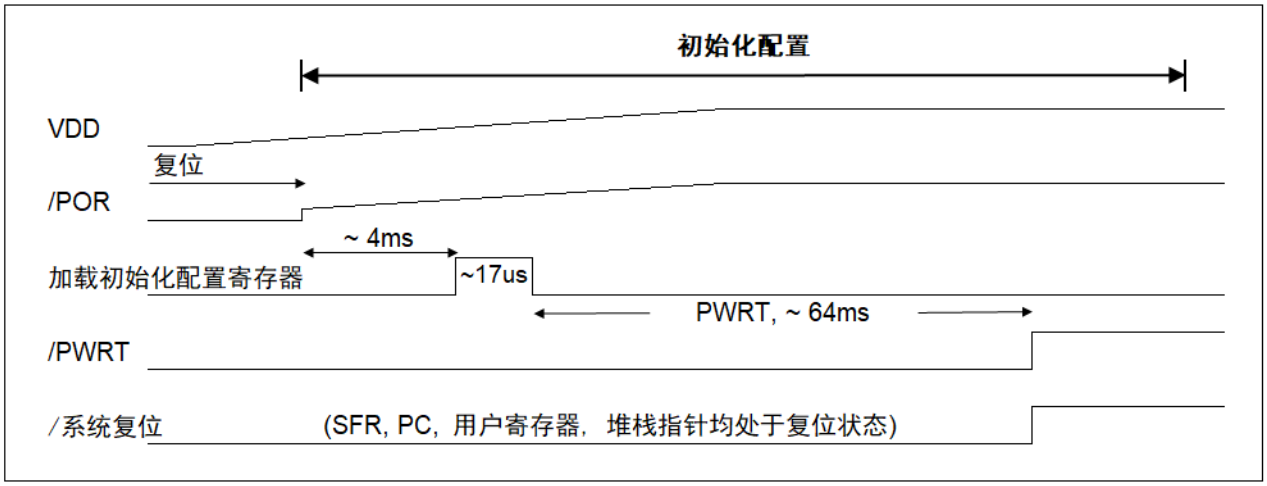


图 3-1 上电时序（PWRT 使能)

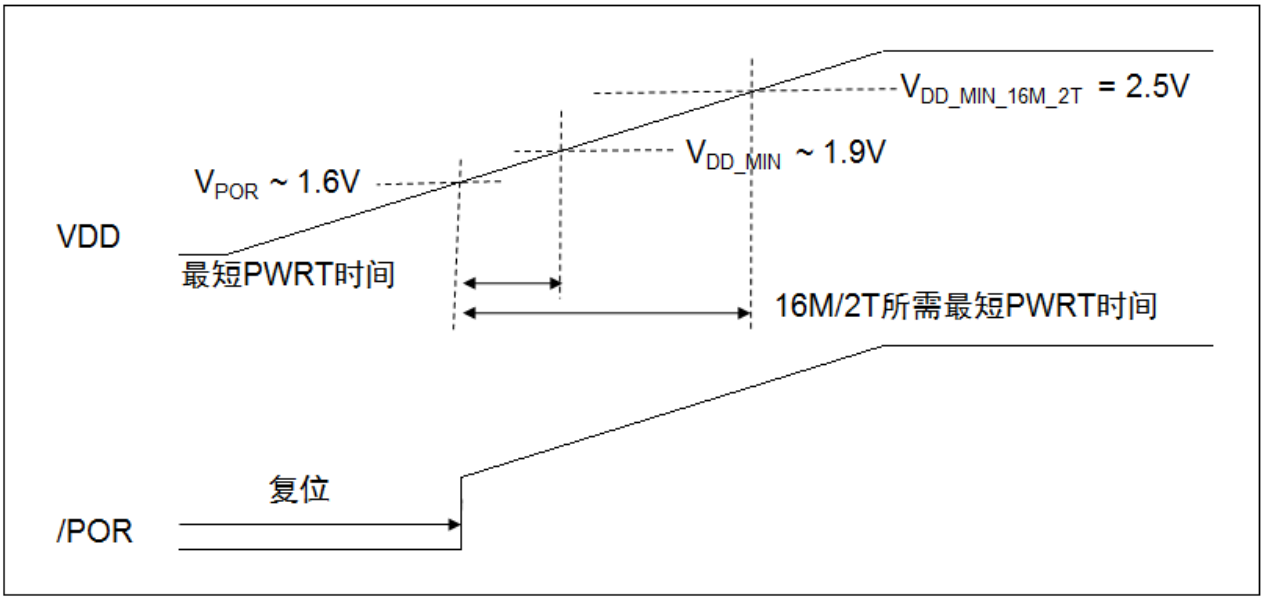


图 3-2 上电过程所需最小 PWRT 时间

如果 CPU 需要在 16MHz / 2T 的速度下运行，那么在初始化配置(BOOT)结束时 V_{DD} 必须高于 2.5V。通过使能 PWRT，可使初始化配置时间从~4ms 增加至~68ms，从而提高电源系统的稳定时间。

当以 16MHz / 2T 的速度运行时，应使能 LVR 且设置 $V_{BOR} \geq 2.5V$。另外，可通过指令控制 LVR 使能的频率以不时地监测 V_{DD}，而无需一直使能(参阅“LVREN”, “SLVREN”)以降低功耗。

注:

1. V_{DD} 上电过程不可以太慢，另外不建议 V_{DD} 的电容 $C_{VDD} \geq 22\ \mu F$；
2. V_{DD} 电容值以 1 到 10μF 为佳。出于 EFT 性能考虑，$C_{VDD} < 1\mu F$ 可能太小；
3. 如果可以接受启动延时，那么建议使能 PWRT 以提高 CPU 的稳定性；

4. 系统复位

与 POR 不同，系统复位(system reset) 并不会完全复位。系统复位时，CPU 是否启动初始化配置过程则取决于复位触发类型及设置。若启动初始化配置则空闲等待~4ms，然后重新加载初始化配置寄存器值，如果使能 PWRT 将额外延时~64ms，随后系统正常启动。在系统复位中：

- 除初始化配置寄存器外，POR 过程中被重置的寄存器在系统复位时也会被同样重置；
- 程序计数器 PC = 0x00，指令寄存器 = “NOP”，堆栈指针 = “TOS” (栈顶)；

除仿真调试的 OCD(On-Chip Debugger) 模块外，可触发系统复位的 4 种事件如下：

1. 欠压复位 (LVR / BOR) – 总会启动初始化配置；
2. 非法指令复位 (默认始终开启)；
3. 看门狗定时器 (WDT) – 如果 CPU 处于非 SLEEP 状态且使能 “RBTENB” 则启动初始化配置；
4. 外部 I/O 复位 (/MCLRB)；

注： 如果可以接受更长的系统重启时间，则建议使能初始化配置过程(BOOT)以提高系统的稳定性。

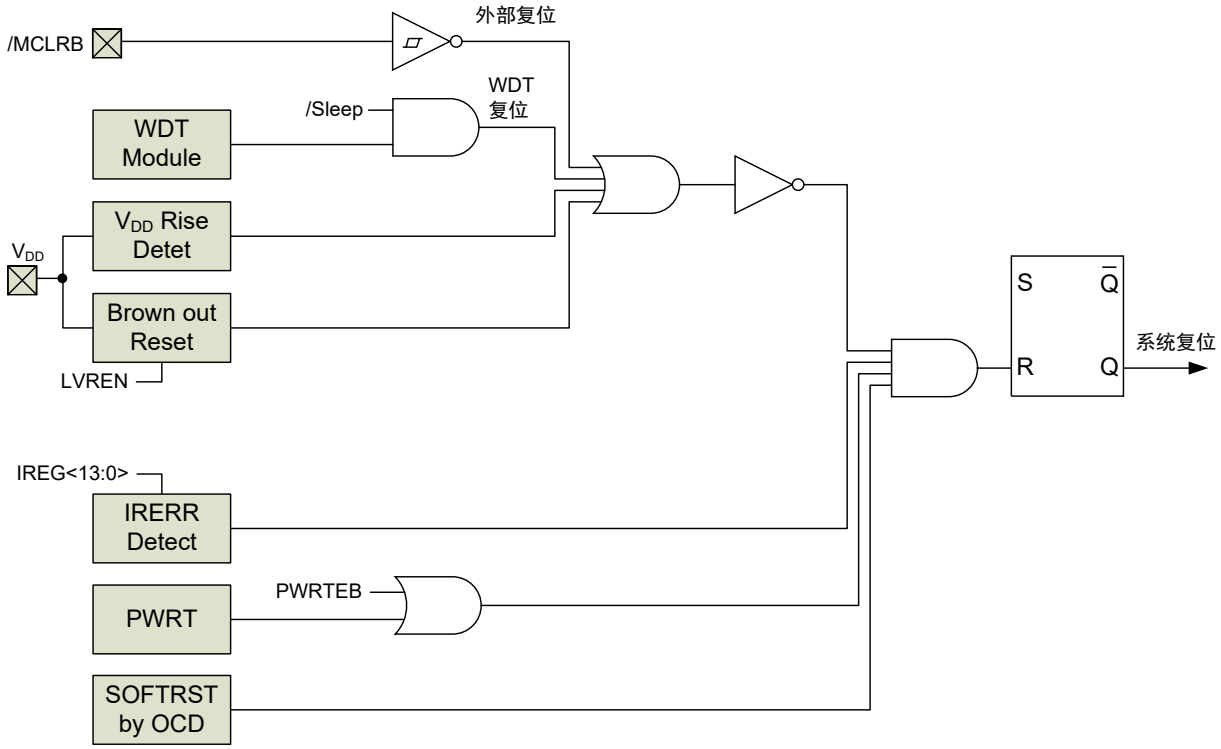


图 4-1 复位电路结构框图

4.1 系统复位相关寄存器汇总

系统复位的大多数设置均由 IDE 界面配置，而不能通过指令修改。

名称	功能	默认
LVRS	7 档 V_{BOR} 电压(V)： 2.0 / 2.2 / 2.5 / 2.8 / 3.1 / 3.6 / 4.1	2.0
LVREN	LVR • 使能 • 关闭 • 非 SLEEP 模式下使能 • 通过指令控制 (SLVREN)	关闭
WDTE	WDT • 使能 (指令不能禁止) • 由指令控制 (SWDTEN)	SWDTEN 控制
MCLRE	外部 I/O 复位	关闭
RBTENB	WDT 复位启动初始化配置过程	关闭

表 4-1 复位相关初始化配置寄存器

4.2 欠压复位 (Brown-Out Reset, LVR / BOR)

当 V_{DD} 值降低并低于预设的欠压值 (V_{BOR}) 超过 T_{BOR} 时间时，就会出现欠压状态。T_{BOR} 大概为 3 到 4 个 LIRC 时钟周期 (~94 – 125us，如果未预先启动，LIRC 将自动开启)。当 $V_{DD} \le V_{BOR}$ 时，CPU 保持系统复位状态，直至 $V_{DD} > V_{BOR}$ 时 CPU 开始初始化配置过程(BOOT)。

V_{POR} 值不能配置，而 V_{BOR} 值可以设置为 2.0、2.2、2.5、2.8、3.1、3.6、4.1V (参阅 “LVRS”，**表 4-1**)。

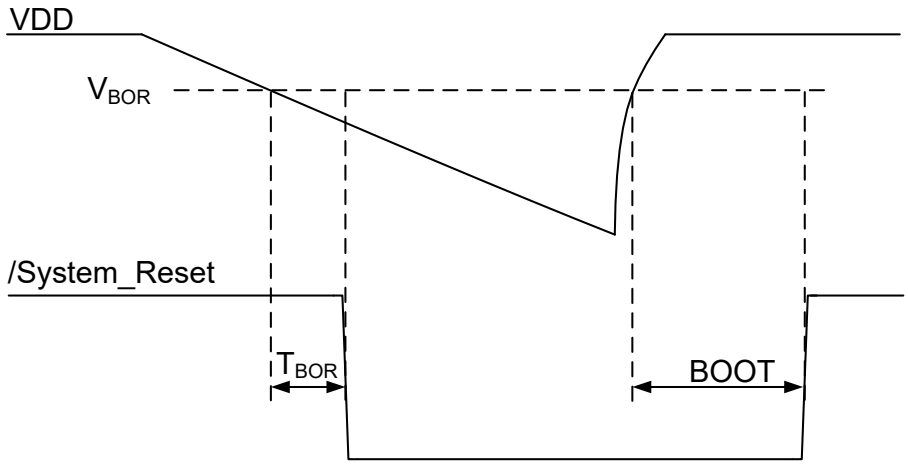


图 4-2 LVR 初始化配置时序图

LVR 可配置成 4 种不同功能(参阅 “LVREN”, **表 4-1**)。

1. LVR 使能；
2. LVR 关闭；
3. 非 SLEEP 模式下 LVR 使能；
4. 由指令控制使能或关闭 LVR (SLVREN, **表 4-2**).

注： SLEEP 模式下，可通过指令关闭 LVR 以降低功耗。但如果系统 V_{DD} 不稳定，CPU 应定时唤醒并使能 LVR 来监测 V_{DD}。

名称	状态	寄存器	地址	复位值
SLVREN	仅适用于 LVREN 配置成由指令 SLVREN 控制 LVR 1 = 使能 LVR 0 = 关闭 LVR	MSCON[3]	0x1B	RW-0

表 4-2 LVR 用户寄存器

4.3 非法指令复位 (Illegal Instruction Reset)

CPU 获取指令错误的原因有很多，最常见的为干扰和 V_{DD} 不稳定。

虽然没有专用的复位指令，但任何蓄意的非法指令都等同于复位指令。出现非法指令时将产生系统复位。

4.4 看门狗定时器 (Watch Dog Timer, WDT) 复位

SLEEP 模式下，WDT 溢出将导致唤醒。

正常模式 (非 SLEEP 模式)下，WDT 溢出将触发系统复位，随后是否产生初始化配置则取决于 IDE 设置(参阅 “RBTENB”, **表 4-1**)。WDT 复位可用于复位挂起的 CPU。应在程序中不时地清除 WDT 以避免错误复位。

关于 WDT 的操作和设置等细节，请参阅 **章节 7.1** 看门狗定时器 (Watch Dog Timer, WDT)。

4.5 外部 I/O 系统复位 /MCLRB

如果已相应设置初始化配置寄存器，那么可通过在/MCLRB (PA5)脚上施加低电压来使 CPU 复位。/MCLRB 脚通常经过一个电阻弱上拉到 V_{DD}，而不是直接连到 V_{DD}，如 **图 4-3** 所示，建议采用外部 RC 电路以提供故障滤波和过流保护。

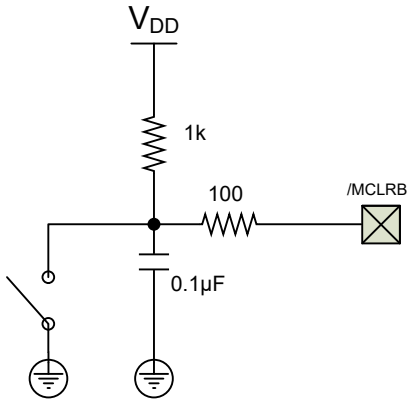


图 4-3 /MCLRB 复位电路

4.6 检测上次复位类型

通过 4 个状态标志位 /POR、/BOR、Time Out (/TF) 、Power Down (/PF)的不同组合可以追溯上一次系统复位的类型，但“正常模式下的/MCLR 系统复位”和“非法指令复位”除外。这些状态标志位均需由指令置 1。复位后，相应的标志位将被锁定为“0”。

复位源	/POR	/BOR	/TF	/PF
	PCON[1]	PCON[0]	STATUS[4]	STATUS[3]
	0x8E		0x03, 0x83	
POR	0	(未知)	1	1
LVR	–	0	1	1
正常模式下(非 SLEEP) WDT 溢出(复位)	–	–	0	–
SLEEP 模式下 WDT 溢出(唤醒)	–	–	0	0
SLEEP 模式下/MCLR 复位	–	–	1	0
正常模式下(非 SLEEP) /MCLR 复位	`–	–	–	–
非法指令复位	–	–	–	–
片上调试 (OCD)	–	–	–	–

表 4-3 复位相关状态标志位 (“–“ 无变化)

5. 低电压检测/比较器 (LVD)

LVD 的工作原理与 LVR 类似，但以下几点除外：

- 所有控制位和参数选择位均由用户指令设置，而不是初始化配置时；
- 必须正确设置 I/O：TRISx = 1;
- LVD 事件将置位 LVDW 而不是/BOR；
- 可通过指令配置为中断，且不会触发系统复位；
- 可通过 LVDDEB 使能消抖功能，消抖时间 (T_{LVD}) 大概为 3 到 4 个 LIRC 时钟周期 (~94 – 125us，如果未预先启动，LIRC 将自动开启)；
- LVD 输入可以配置成 V_{DD} 或其他 I/O (PA5)，后者允许将 LVD 当作单输入比较器功能使用，与 6 档 LVDL 电压值($V_{LVD-REF}$) 之一进行比较；
- 可设置 LVD 的极性，因此 LVD 可作为 $V_{LVD-REF}$ 的 “高” 或 “低” 比较器；

注： PA5 的外部复位功能(/MCLRB)优先级高于 LVD 输入功能，即当 PA5 配置成外部复位管脚时，将忽略其 LVD 输入检测功能。

5.1 LVD 相关寄存器汇总

名称	功能	默认
LVDDEB	LVD 去抖使能位 (≥ E 版本芯片才具备)	关闭

表 5-1 LVDDEB 初始化配置寄存器

名称	状态		寄存器	地址	复位值
LVDEN	LVD	1 = 使能 0 = 关闭	PCON[3]	0x8E	RW-0
LVDL	$V_{LVD-REF}$	000 = 保留值 100 = 2.7 001 = 保留值 101 = 3.0 010 = 2.0 110 = 3.6 011 = 2.4 111 = 4.0	PCON[6:4]		RW-000
LVDW	LVD 触发?	当 LVDP=0: 1 = 检测电压 < $V_{LVD-REF}$ (不锁存) 0 = 检测电压 > $V_{LVD-REF}$ 当 LVDP=1: (≥ E 版本芯片) 1 = 检测电压 > $V_{LVD-REF}$ (不锁存) 0 = 检测电压 < $V_{LVD-REF}$	PCON[2]		RO-x
LVDP [3]	LVDW 极性	1 = 反相 0 = 不反相	WDTCON[7]	0x18	RW-0
LVDM	LVD 输入[3]	1 = PA5 0 = V_{DD}	PCON[7]	0x8E	RW-0
LVDIE	LVD 中断	1 = 使能 0 = 关闭	PIE1[5]	0x8C	RW-0
LVDIF	LVD 产生中断?	1 = Yes 0 = No, 或已被清零	PIR1[5]	0x0C	RW-0

表 5-2 LVD 用户设置和标志寄存器

[3] 仅 ≥ E 版本芯片才具备。

6. 振荡器和系统时钟

系统时钟(SysClk) 可通过指令选择为内部高速振荡器 HIRC，内部低速振荡器 LIRC，或外部振荡器 (EC, LP, XT，参阅 “SCS”，**表 6-2**)。如果选择外部振荡器，那么由初始化配置寄存器 “FOSC” (**表 6-1**) 选定 3 种外部振荡器之一。系统时钟还可通过指令进一步选择为内部振荡器的分频 (参阅 IRCF，**表 6-2**)。系统时钟用于产生指令时钟(Instruction Clock)：

指令时钟 = SysClk / N; N = 2 for 2T, 4 for 4T.

外部时钟输入和内部指令时钟输出引脚由初始化配置寄存器设置 (参阅 FOSC)。

Timers 模块有独立的振荡器，因此可有多个振荡器同时运行。

当 Timers 使能时，其选用的振荡器将自动开启，且在 Timers 运行期间一直保持有效。SLEEP 模式下，可将其振荡器配置为开启或关闭。当相应的振荡器在 SLEEP 模式下保持运行时，Timers 和 PWM 功能同样可在 SLEEP 下保持工作。

SLEEP 模式下指令停止运行，而指令时钟也将停止，因此选择指令时钟作为时钟源的外设模块也将在 SLEEP 模式下停止工作。

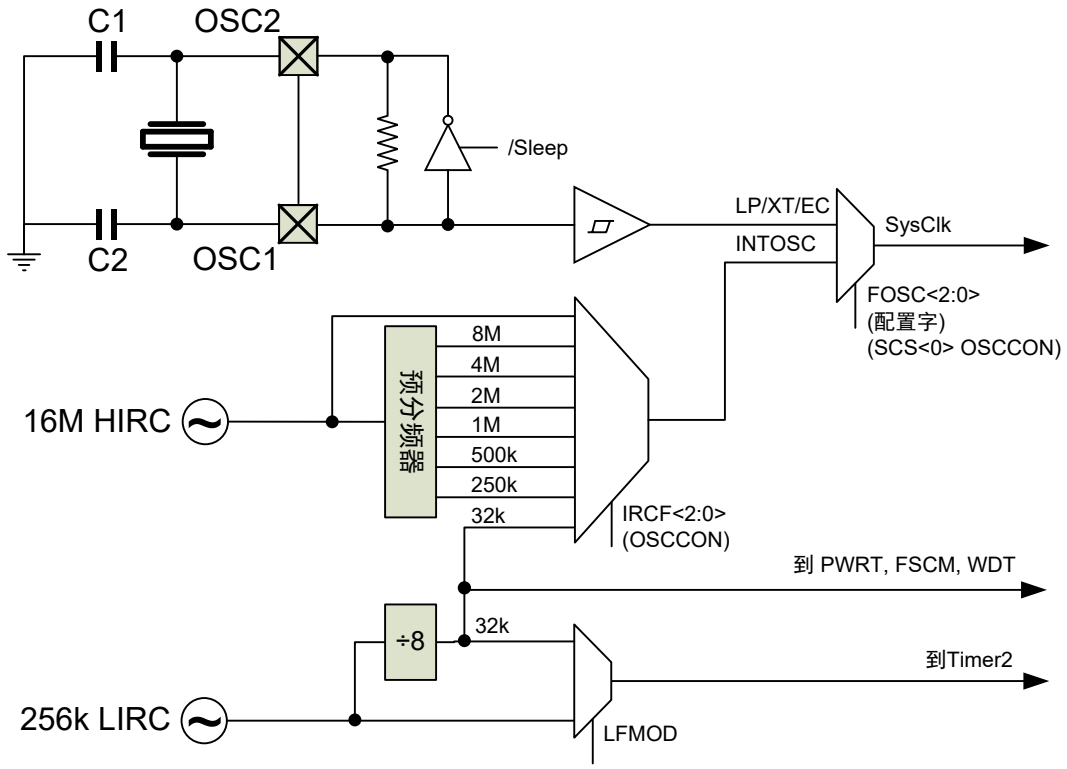


图 6-1 系统时钟 SysClk 的时钟源框图

6.1 振荡器模块相关寄存器汇总

名称	功能	默认
FOSC	• LP：PA7 (+) 和 PA6 (−) 接外部低速晶振 • XT：PA7 (+) 和 PA6 (−) 接外部高速晶振 • EC：PA7 (+) 接外部时钟输入，PA6 为 I/O • INTOSC：PC5 输出“指令时钟”，PA7 和 PA6 为 I/O • INTOSCIO：PA6 和 PA7 为 I/O	INTOSCIO
IESO	XT / LP 双速时钟启动 • 使能 • 关闭	使能
FCMEN	故障保护时钟监控器 • 使能 • 关闭	使能
TSEL	指令时钟与系统时钟的对应关系 (2T or 4T) • 2 (指令时钟 = SysClk/2) • 4 (指令时钟 = SysClk/4)	2

表 6-1 FOSC 和双速启动初始化配置寄存器

SysClk 系统时钟源			配置			
			SCS	IRCF	LFMOD	OST
			OSCCON[0]	OSCCON[6:4]	OSCCON[7]	(固定值)
			0x8F			
			RW-0	RW-100	RW-0	
外部	EC		0	-	-	-
	XT		0	-	-	1,024
	LP		0	-	-	32,768
内部	HIRC	16 MHz	1	111	-	-
		8 MHz	1	110	-	-
		4 MHz	1	101	-	-
		2 MHz	1	100	-	-
		1 MHz	1	011	-	-
		500 kHz	1	010	-	-
		250 kHz	1	001	-	-
	LIRC	256 kHz[4]	1	000	1	-
		32 kHz[5]	1	000	0	-

表 6-2 SysClk 系统时钟源设置相关用户寄存器

[4] 256 kHz LIRC 只供 Timer2 (参阅 T2CKSRC 和 LFMOD，**表 7-7**) 使用。

[5] 系统时钟源 (IRCF=000)、LIRC 和 HIRC 交叉校准、PWRT、FSCM 和 WDT (WCKSRC=00) 统一使用 LIRC 的 8 分频，即 32 kHz，而不管 LFMOD 为何值。

名称	状态	寄存器	地址	复位值
OSTS	振荡器启动超时状态位(锁存) 1 = 运行在外部振荡器下(启动成功) 0 = 运行在内部振荡器下	OSCCON[3]	0x8F	RO-x
HTS	HIRC ready (锁存) 1 = Yes 0 = No	OSCCON[2]		RO-0
LTS	LIRC ready (锁存) 1 = Yes 0 = No	OSCCON[1]		RO-0
CKMAVG	LIRC 和 HIRC 交叉校准时 4 次平均测量模式 1 = 使能 0 = 关闭	MSCON[2]	0x1B	RW-0
CKCNTI	启动 LIRC 和 HIRC 的交叉校准功能 1 = 启动 0 = 完成(自动清零)	MSCON[1]		RW-0
SOSCPR	校准 LIRC 周期所需的 HIRC 周期数	SOSCPR[11:0]	0x1D[3:0] 0x1C	RW-FFF
FOSCCAL	内部高速时钟 HIRC 频率调节寄存器	FOSCCAL[5:0]	0x0D	RW-xx xxxx

表 6-3 振荡器控制/状态位

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE, CKMIE, OSFIE 适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B	RW-0
PEIE	外设总中断	1 = 使能 (CKMIE, OSFIE 适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
CKMIE	LIRC和HIRC交叉校准完成中断	1 = 使能 0 = 关闭 (无唤醒)	PIE1[6]	0x8C	RW-0
OSFIE	外部振荡器故障中断	1 = 使能 0 = 关闭 (无唤醒)	PIE1[2]		RW-0
CKMIF	LIRC和HIRC交叉校准完成标志位	1 = Yes (锁存) 0 = No	PIR1[6]	0x0C	RW-0
OSFIF	外部振荡器故障标志位	1 = Yes (锁存) 0 = No	PIR1[2]		RW-0

表 6-4 振荡器中断使能/状态位

6.2 内部时钟模式 (HIRC 和 LIRC)

内部高频时钟 (Internal high frequency clock, HIRC) 出厂时已校准至 16 MHz @ 2.5V/25°C。芯片之间的频率变化典型值 < ±3.5% @2.5 – 5.5V/25°C，温度变化典型值为 ±4.0% @$^{-}$40 – $^{+}$85 °C。

HIRC 精度在晶圆测试时已进行校准。封装过程可能会导致 HIRC 频率漂移。烧录器软件可选择对 HIRC 进行重新校准。HIRC 出厂校准值已存储到“FOSCCAL”寄存器中，用户可通过指令修改”FOSCCAL”来微调 HIRC 频率(默认 16 MHz)，微调 steps 是非线性的(~130 kHz)。粗略估计如下：

FOSCCAL[5:0] ± N ≈ 16000 ± N * 130 (kHz)

注意：

当系统时钟 SysClk 选择 HIRC，且 TSEL 选择 2T 指令周期时，建议先将 HIRC 设置成 8 MHz 或者更低(参阅 IRCF)，通过 FOSCCAL 进行频率微调后，如需要，再将 HIRC 设置成 16 MHz，从而避免在频率微调的过程中超出芯片的工作范围 (16 MHz / 2T, V_{DD} ≥ 2.7V) 或导致其他不可预期的情况。TSEL 选择 4T 指令周期时，则无上述限制。

内部低频时钟 (Internal low frequency clock, LIRC) 出厂时已校准至 32 kHz。芯片之间的频率变化典型值 < ±9.0% @2.5 – 5.5V/25°C，温度变化典型值 < ±2.0% @$^{-}$40 – $^{+}$85 °C。

LIRC 和 HIRC 可相互交叉校准 – 在一个 LIRC 周期 (32 kHz) 内使用 Timer2 来测量指令时钟数(SysClk 选择 16MHz HIRC), 此为内置硬件功能。由于 LIRC 温度系数较低, 因此当温度不稳定时, 可通过用 LIRC 来校准 HIRC 的功能，以达到相同的±2%的温度系数。

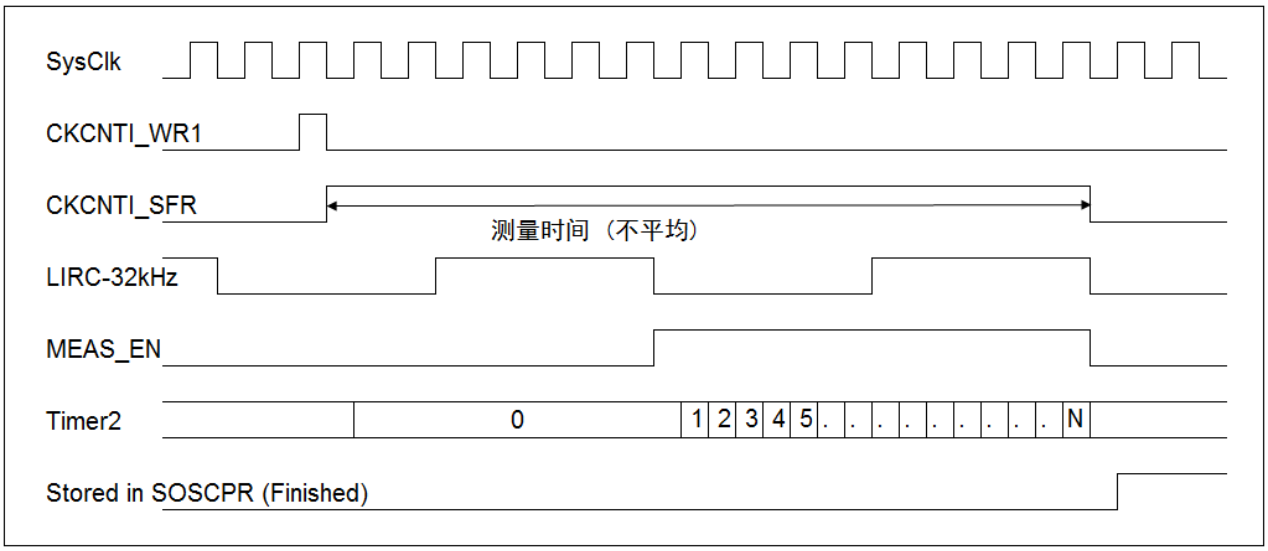


图 6-2 单次测量时序图

LIRC 和 HIRC 交叉校准步骤：

1. 设置 IRCF = 111, SCS = 1 ; SysClk 选择 16MHz HIRC (其他频率设置的精准度会降低)
2. 设置 CKMAVG = 1 ; 4 次测量平均，选择 0 表示不做平均
3. 设置 TMR2ON = 1 ; 使能 Timer2
4. 设置 CKCNTI = 1 ; 开始校准，默认 Timer2 预分频比 = 1，后分频比 = 1, T2CKSRC = SysClk for 2T; SysClk/2 for 4T

5. 校准完成时，CKCNTI 自动清零(“CKCNTI =0”), CKMIF 自动置位(“CKMIF = 1”)。
6. 测量值存储在 SOSCPR 寄存器中。
7. LIRC 默认为 32kHz，且 CPU 运行在 16MHz / 2T 下，则理想的匹配值为 500。

注：

- LIRC 和 HIRC 交叉校准时，不要对 SOSCPRH/L 寄存器进行写操作；
- LIRC 和 HIRC 交叉校准时，Timer2 不能被其他外设使用；
- LIRC 和 HIRC 交叉校准功能与 IDE 的单步调试模式不兼容；

6.3 外部时钟模式 (EC / LP / XT)

6.3.1 EC 模式

外部数字信号作为时钟源连接到 OSC1 脚(OSC2 用作 I/O)。当 SysClk 选择 EC 模式时，当 POR 复位或从睡眠中唤醒时，EC 模式不需要设置或转换时间延迟。

6.3.2 LP 和 XT 模式

LP 或 XT 模式下，石英晶体谐振器或陶瓷谐振器作为时钟源连接到 OSC1 和 OSC2 脚。

LP 振荡器模式是 3 种模式 (EC, LP, XT) 中增益设定和电流消耗最低的。该模式仅用于驱动 32.768 kHz 音叉式晶振(钟表晶振)。

XT 振荡器模式选择内部反相放大器的最高增益设定。

如果时钟源选择 XT 或 LP 模式，当初始化配置结束或从睡眠中唤醒时，CPU 在振荡器起振定时器(OST)计数期间将暂停执行程序，这有利于 XT 或 LP 时钟的稳定。对于 XT 和 LP 模式，OST 分别计数 1,024 和 32,768 个 OSC1 (晶体输入+ve 端)。对于 32.768 kHz 音叉式晶振，OST 计时至少需要 1 秒。

注：

- WDT将保持清零状态直至OST完成计数；
- OST计数期间，不要对WDTCON或OPTION寄存器进行写操作，否则将产生不可预期的行为；

双速时钟启动 (参阅“IESO”, **表 6-1**) 允许 CPU 在 OST 计数期间选择内部振荡器 INTOSC 模式作为 SysClk 进而执行指令。在需要频繁进出睡眠模式的情况下，双速时钟启动功能可使芯片在唤醒后立即执行指令，从而除去外部振荡器所需的起振时间，以降低整机功耗。即 CPU 从睡眠中唤醒，将 INTOSC 作为 SysClk 执行几条指令后，再返回睡眠状态，而无需等待外部振荡器的稳定。

注： EC 模式下双速启动功能关闭，因其振荡器不需要稳定时间。

双速启动时序：

1. 初始化配置结束或从睡眠中唤醒；
2. 选择 INTOSC 作为 SysClk 执行指令直至 OST 超时；
3. SysClk 从 INTOSC 的下降沿一直保持为低，直至新时钟的下降沿到来 (LP 或 XT 模式)；
4. SysClk 切换到外部时钟源；

振荡器起振超时状态位(OSTS)用于提示 SysClk 运行在外部时钟源下或内部时钟源下。当开启双速时钟启动功能时，通过 OSTS 可间接查询 LP 或 XT 模式下的振荡器起振定时器(OST)是否已经超时。

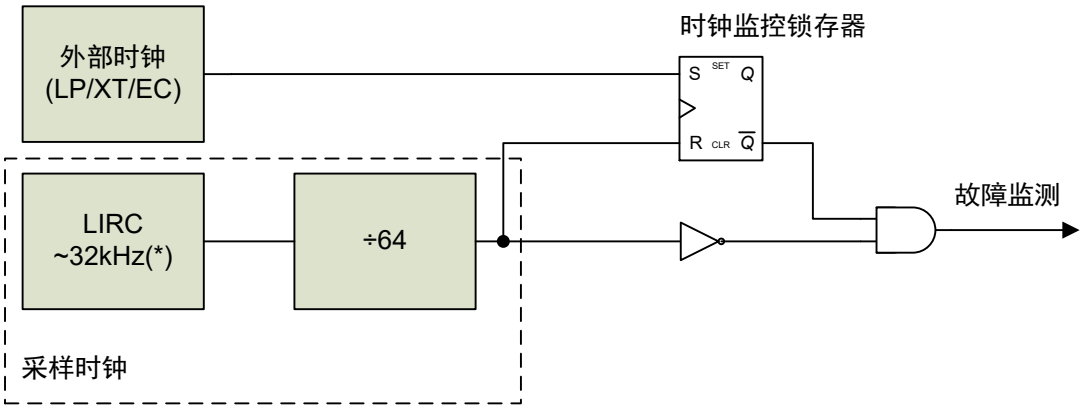
执行 SLEEP 指令将中止 OST 计时，而 OSTS 将保持为“0”。

故障保护时钟监控器 (Fail-Safe Clock Monitor, FSCM, 由“FCMEN”使能，参阅 **表 6-1**) 可使芯片在外部振荡器出现故障时仍能继续工作。在振荡器起振定时器(OST)超时后，FSCM 随时检测振荡器故障。FSCM 适用于所有外部振荡器模式(EC, LP 和 XT)。当选择外部振荡器时，建议使能 FSCM 功能。

如果外部振荡器的振荡频率在~1 kHz 及以下时，则判定其出现故障。由 LIRC 除以 64 产生采样时钟，故障监控器内部有一个锁存器，外部时钟在其每个下降沿将锁存器置 1，采样时钟在其每个上升沿将锁存器清 0。当采样时钟的整个半周期结束而主时钟依然未进入低电平时，即检测到故障。

当外部时钟出现故障时，FSCM 自动将 SysClk 切换成内部时钟源并置位 OSFIF。如果 OSFIE 使能，OSFIF 置 1 将产生中断。芯片固件随后应采取措施来减轻可能由故障时钟所导致的问题。SysClk 将继续运行在内部时钟源下，直到芯片固件成功重启外部振荡器。

由“IRCF”决定“FSCM”所用的内部时钟源，这使得内部振荡器在外部时钟发生故障前就得以配置。



注：LFMOD不影响采样时钟。

图 6-3 FSCM 结构框图

复位、执行 SLEEP 指令或翻转 SCS 位后，故障保护条件将被清除。当 SCS 位被修改后，OST 将重新启动计时。OST 运行期间，CPU 选择 INTOSC 模式作为 SysClk 继续执行指令。OST 超时后，故障保护条件被清除，芯片将切换回外部时钟源进行操作。必须先清除故障保护条件，才能清零 OSFIF 标志位。

注： 任何可能由双速时钟启动或故障保护时钟监控器所产生的时钟自动切换，都不会更新 SCS 位。程序应监控 OSTS 位以确定当前的 SysClk 系统时钟源。

6.4 HIRC, LIRC 和 EC 时钟的内部切换

图 6-4 为时钟内部切换时序图。如果 HIRC 或 LIRC 在切换前已经关闭(为了省电)，则将会有额外的振荡器设置延迟时间，可通过 HTS 和 LTS 标志位查询相应振荡器的状态。

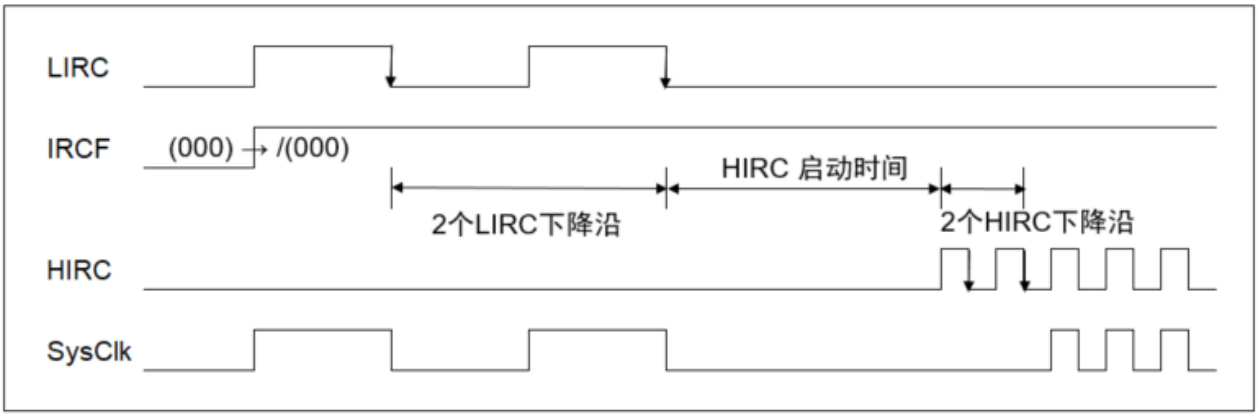


图 6-4 由 LIRC 切换到 HIRC 时序图 (同样的原则也适用于 EC, LIRC, HIRC 之间的切换)

7. 定时器 (TIMERS)

共有 3 个定时器，包括看门狗定时器(WDT)在内。

	WDT	Timer0	Timer2
预分频器 (位)	–	8 (与 WDT 共用)	4 (1x, 4x, 16x)
计数器 (位)	16	8	16
后分频器 (位)	7 (与 Timer0 共用)	–	4 (1 – 16x)
时钟源	• LP • XT • HIRC • LIRC	• LP • XT • HIRC • 指令时钟 • PA2/T0CKI (转变沿计数器)	• LP • XT • HIRC • 指令时钟 • 2x 指令时钟 • LIRC • 2x HIRC • 2x (EC, LP or XT)

表 7-1 定时器资源

注： 如果定时器的时钟源不是指令时钟，在更改 TMRx 之前需先设置“TMRxON = 0”。

当定时器使能时，其所选的时钟源会自动开启。指令时钟在 SLEEP 模式下被关闭，因此不能用于 WDT。当定时器选择 LP / XT 振荡器作为时钟源时，FOSC 必须相应配置成 LP / XT 模式或选择 INTOSCIO 模式，否则 LP / XT 振荡器将处于关闭状态，不会产生计数。

WDT 的后分频器(postscaler)和 Timer0 的预分频器(prescaler)共用同一个硬件分频电路。该硬件电路由指令选择分配给 WDT 或 Timer0，但二者不能同时使用。未被分配分频器的定时器，其分频比值为“1”。

当 POR 或系统复位时，除 Timer0 的计数器外，其他所有定时器的计数器、预分频器和后分频器都将复位。以下事件也将复位相应定时器的计数器和分频器：

	WDT	Timer0	Timer2
预分频器	–	• 写 TMR0 • PSA 切换	• TMR2ON = 0 • LIRC 和 HIRC 交叉校准启动 • 写 T2CON0, TMR2L/H
计数器	• WDT, OST 溢出 • 进入/退出 SLEEP • CLRWDT • 写 WDTCON	• Timer0 溢出	• TMR2 = PR2(匹配)
后分频器	• 除写 WDTCON 外的以上所有条件 • PSA 切换	–	• 除(TMR2ON = 0)外的以上所有条件

表 7-2 定时器的计数器和分频器的重置事件

一旦发生 PWM 故障刹车，且刹车事件一直保持，那么 Timer2 的计数器、预分频器和后分频器将停止递增，在故障刹车事件清除后将自动恢复。

PWM 单脉冲输出结束时将自动设置 “TMR2ON = 0”，通过设置 “TMR2ON = 1” 可重新启动 Timer2。

7.1 看门狗定时器 (Watch Dog Timer, WDT)

WDT 用于 “从 SLEEP 中唤醒” 或 “CPU 挂起时产生系统复位”。当 WDT 计数到预设数量的时钟周期数时则产生溢出。

- SLEEP 模式下，WDT 溢出将触发唤醒。CPU 将从其进入 SLEEP 前的位置恢复操作。唤醒不是中断，也不是系统复位事件。
- 正常模式(非 SLEEP 模式)下，WDT 溢出将触发系统复位(参阅 **章节 4** 系统复位)。随后是否产生初始化配置，则取决于 RBTENB 设置。

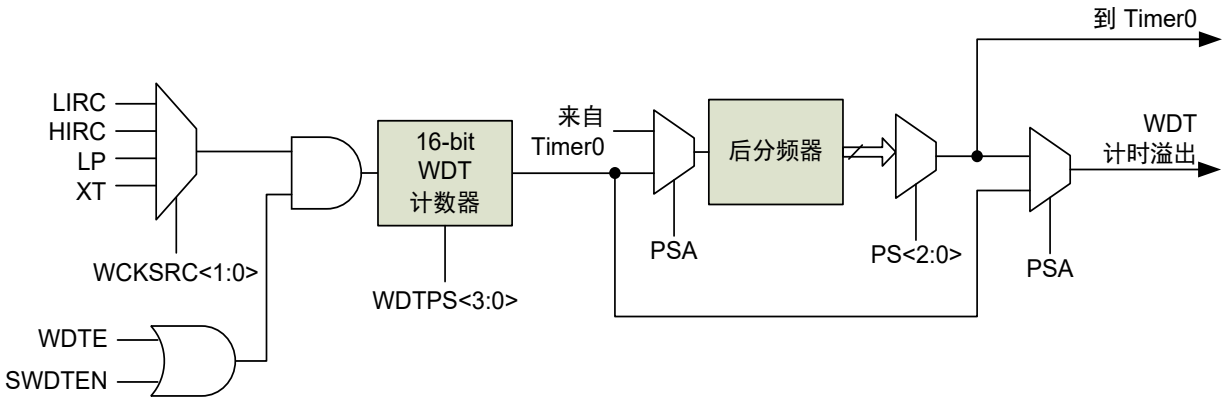


图 7-1 WDT 结构框图

计时超过看门狗定时时间：WDT-周期 x WDT-后分频比 / WDT 时钟频率，WDT 将溢出。

对于选定的时钟源，由于 WDT 后分频器的二进制特性，看门狗定时时间步长呈连续的倍数关系。选用 LIRC 作为时钟源时，WDT 溢出前可设置的最长定时时间为：

$$2^{16} \times 2^{7} / 32kHz = \sim 262 \text{ seconds.}$$

7.1.1 WDT 相关寄存器汇总

名称	功能	默认
WDTE	WDT • 使能 (指令不能禁止) • 通过指令控制 (SWDTEN)	SWDTEN 控制
RBTENB	WDT 复位启动初始化配置	关闭

表 7-3 WDT 选项初始化配置寄存器

<table>
<tr><th>名称</th><th colspan="5">状态</th><th>寄存器</th><th>地址</th><th>复位值</th></tr>
<tr><td>WCKSRC</td><td colspan="5">WDT 时钟源
00 = LIRC
01 = HIRC
10 = LP (仅当 FOSC 为 LP 或 INTOSCIO 模式*)
11 = XT (仅当 FOSC 为 XT 或 INTOSCIO 模式*)
*否则配置错误，无 WDT 时钟源</td><td>WDTCON[6:5]</td><td rowspan="4">0x18</td><td>RW−00</td></tr>
<tr><td>WDTPS</td><td colspan="5">WDT 周期
0000 = 32 0111 = 4,096
0001 = 64 1000 = 8,192
0010 = 128 1001 = 16,384
0011 = 256 1010 = 32,768
0100 = 512 (默认) 1011 = 65,536
0101 = 1,024 11xx = 65,536
0110 = 2,048</td><td>WDTCON[4:1]</td><td>RW−0100</td></tr>
<tr><td>SWDTEN</td><td colspan="5">1 = WDT使能
0 = WDT 关闭 (当 WDTE 选择由 SWDTEN 控制时)</td><td>WDTCON[0]</td><td>RW−0</td></tr>
<tr><td>PSA</td><td colspan="5">1 = 分频电路分配给WDT后分频器
0 = 分频电路分配给 Timer0 预分频器</td><td>OPTION[3]</td><td rowspan="2">0x81</td><td>RW−1</td></tr>
<tr><td>PS</td><td></td><td colspan="2">WDT 后分频比</td><td colspan="2">Timer0 预分频比</td><td rowspan="2">OPTION[2:0]</td><td rowspan="2">RW−111</td></tr>
<tr><td></td><td>000
001
010
011
100
101
110
111</td><td>(PSA=1)</td><td>1
2
4
8
16
32
64
128</td><td>(PSA=0)</td><td>2
4
8
16
32
64
128
256</td></tr>
<tr><td></td><td>xxx</td><td>(PSA =0)</td><td>1</td><td>(PSA =1)</td><td>1</td><td></td><td></td></tr>
</table>

表 7-4 WDT 相关用户寄存器

7.1.2 WDT 的设置和使用

由 WDTE (初始化配置寄存器) 以及 SWDTEN (用户寄存器) 使能 WDT，WDT 触发复位后是否产生初始化配置过程则由 RBTENB (初始化配置寄存器) 决定。

WDT 时钟源由 WCKSRC 选择 (如果选 LIRC 则默认为 32kHz，而不管 LFMOD 为何值)，后分频器由 WDTPS, PSA 和 PS 一起设置。当 WDT 使能时，其所选时钟源自动开启，且在 SLEEP 模式下保持运行。

如需阻止 WDT 溢出，必须在设定的定时时间之前清除 WDT，具体可参阅 **表 7-2 定时器的计数器和分频器的重置事件** 中的清除 WDT 事件。WDT 被清除后将重新开始计时。

7.1.3 在 Timer0 和 WDT 之间切换分频电路

共用的硬件分频电路可分配给 Timer0 或 WDT 使用，当在 Timer0 和 WDT 之间切换分频电路时可能会导致系统误复位。

将分频电路从分配给 Timer0 切换至 WDT 时，必须遵循以下指令顺序：

```
BANKSEL TMR0                ; Can skip if already in TMR0 bank
CLRWDT                      ; Clear WDT
CLRR TMR0                   ; Clear TMR0 and scaler
BANKSEL OPTION
BSR OPTION, PSA             ; Select WDT

LDWI b'11111000'            ; Mask scaler bits (PS2-0)
ANDWR OPTION, W
IORWI b'00000101'           ; Set WDT scaler bits to 32 (or any value desired)
STR OPTION
```

将分频电路从分配给 WDT 切换至 Timer0 时，必须遵循以下指令顺序：

```
CLRWDT                      ; Clear WDT and scaler
BANKSEL OPTION
LDWI b'11110000'            ; Mask TMR0 select and scaler bits (PSA, PS2-0)
ANDWR OPTION, W
IORWI b'00000011'           ; Set Timer0 scale to 16 (or any value desired)
STR OPTION
```

7.2 定时器 0 (TIMER0)

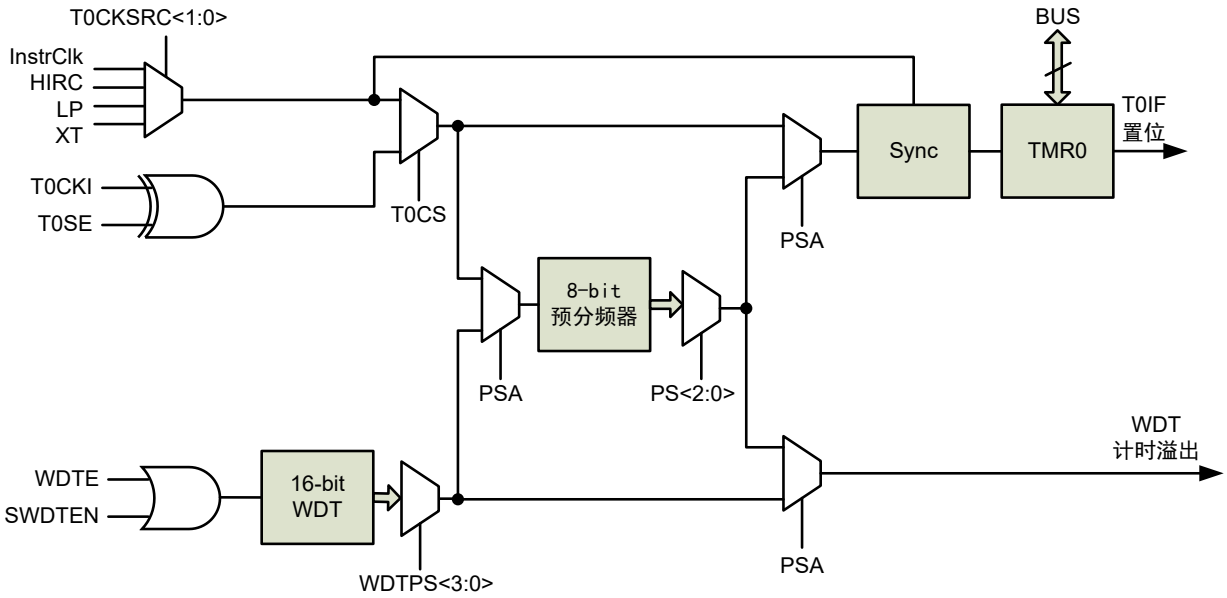


图 7-2 Timer0 结构框图

Timer0 可用作 I/O “PA2−T0CKI” 的上升沿/下降沿计数器，或计时的定时器 (参阅 T0CKSRC)。

Timer0 计数和定时溢出时间 = *TMR0[7:0] * Timer0_预分频*

Timer0 溢出将置位中断标志位(T0IF)，是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(T0IE 和 GIE)。

注：

1. 对 TMR0 进行写操作后的 2 个指令周期内，Timer0 停止递增；
2. 如需从睡眠中唤醒，需设置 “T0CKRUN = 1” 和 “T0CKSRC ≠ 00”，以使 Timer0 的时钟源不是指令时钟且在 SLEEP 模式下保持运行，否则 Timer0 将停止计数，维持其进入睡眠前的计数值；
3. 如果 Timer0 用于对 T0CKI 进行计数，那么相对于 Timer0，对 T0CKI 有最小周期、高/低脉冲宽度的要求。除非 T0CKI 非常快且 T_{T0CK} 非常慢，否则通常都满足这些限制条件；

T0CKI	最小值	单位	条件
高/低脉冲宽度	0.5 * T_{T0CK} + 20	ns	无预分频
	10	ns	有预分频
周期	20 和 (T_{T0CK}+40)/N 中的较大者	ns	N = 1, 2, 4, …, 256 (有预分频) N = 1 (无预分频)

4. 关于 “在 Timer0 和 WDT 之间切换分频电路” 请参阅 **章节 7.1.3**；

7.2.1 Timer0 相关寄存器汇总

名称	状态		寄存器	地址	复位值
T0ON	Timer0	1 = 使能 0 = 关闭	T0CON0[3]	0x1F	RW-1
T0CKRUN	SLEEP模式下 T0CK保持运行	1 = Yes (时钟源非指令时钟) 0 = No	T0CON0[2]		RW-0
T0CKSRC	Timer0 时钟源 (T0CS = 0) 00 = 指令时钟 10 = LP (*) 01 = HIRC 11 = XT (*) (*)FOSC应相应配置成LP/XT模式或选择INTOSCIO模式，否则振荡器将不会运行。		T0CON0[1:0]		RW-00
T0CS	Timer0输入源	1 = PA2/T0CKI (计数器) 0 = T0CKSRC (定时器)	OPTION[5]	0x81	RW-1
T0SE	计数器触发沿	1 = 下降沿 0 = 上升沿	OPTION[4]		RW-1
PSA	1 = 分频电路分配给WDT后分频器 0 = 分频电路分配给 Timer0 预分频器		OPTION[3]		RW-1
PS	WDT 后分频比 / TIMER0 预分频比		OPTION[2:0]		RW-111
	000	1 / 2			
	001	2 / 4			
	010	4 / 8			
	011 (PSA=1)	18 / 16 (PSA=0)			
	100	16 / 32			
	101	32 / 64			
	110	64 / 128			
	111	128 / 256			
	xxx	(PSA =0) 1 / (PSA =1) 1			
TMR0[7:0]	Timer0 计数值		TMR0[7:0]	0x01	RW-xxxx xxxx

表 7-5 Timer0 相关用户控制寄存器

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (T0IE 适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B	RW-0
T0IE	Timer0溢出中断控制位	1 = 使能 0 = 关闭 (无唤醒)	INTCON[5]		RW-0
T0IF	Timer0溢出中断标志位	1 = 已经溢出 (锁存) 0 = 未溢出	INTCON[2]		RW-0

表 7-6 Timer0 中断使能和状态位

7.3 定时器 2 (TIMER2)

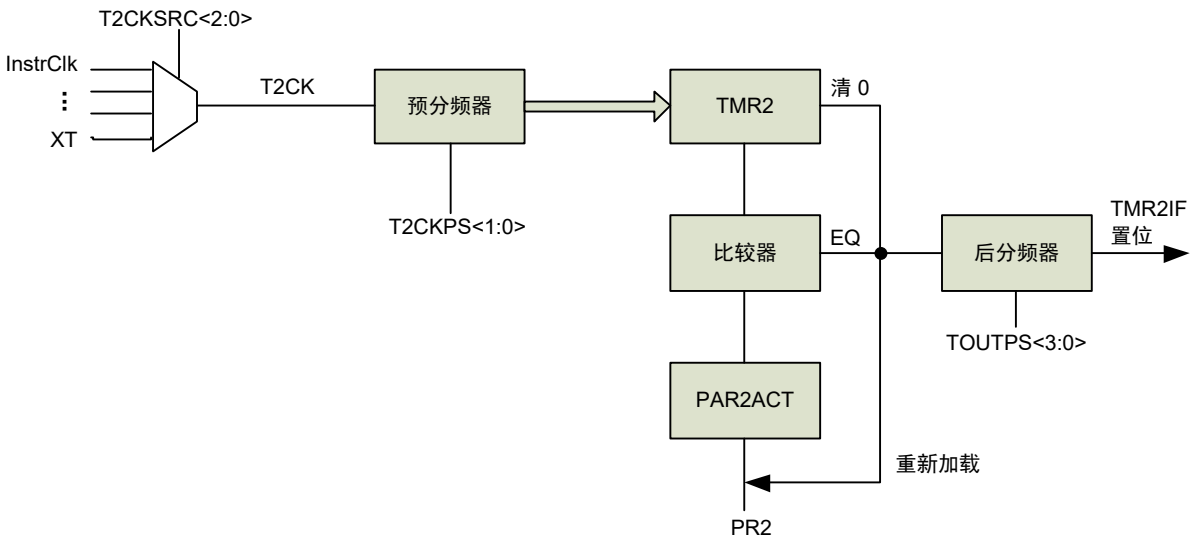


图 7-3 Timer2 结构框图

Timer2 为定时器，也可用于产生 PWM (无后分频器，参阅 **章节 10** PWM)，及用于 LIRC 和 HIRC 交叉校准计数(CKCNTI=1)。可同时运用计数匹配和后分频器溢出功能。

Timer2 时钟源由 T2CKSRC 选择(如果选 LIRC 则由 LFMOD 进一步选定频率)，Timer2 时钟被送入 Timer2 预分频器(预分频比为 1, 4 或 16)，预分频器的输出被用于递增 TMR2 寄存器，TMR2 从 0x00 开始递增直至与 PR2 匹配。匹配时：

1. TMR2 在下一个递增周期复位为 0x00；
2. Timer2 后分频器递增；
3. 当 Timer2 后分频器的递增输出值与后分频比设置值 (1, 2 …. 15 或 16) 相等时，Timer2 溢出；
4. 中断标志位 TMR2IF 置 1，是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(GIE, PEIE 和 TMR2IE)；

注：

1. 对 T2CON0 进行写操作并不会清零 TMR2 寄存器。
2. TMR2 和 PR2 都是可读/写寄存器。复位时，其值分别为 0x0000 和 0xFFFF。
3. 当 (“TMR2ON = 1”, “T2CKRUN = 1”, “T2CKSRC ≠ 000”) 时, Timer2 在 SLEEP 模式下将保持运行。

7.3.1 Timer2 相关寄存器汇总

名称	状态		寄存器	地址	复位值
T2CKRUN	睡眠时T2CK保持运行	1 = Yes (时钟源非指令时钟) 0 = No	MSCON[0]	0x1B	RW-0
PR2U	更新周期和占空比的即时生效控制位 1 = PR2/P1xDTy 缓冲值立即分别更新到 PR2ACT 和 P1xDTyACT 0 = 周期结束后正常更新		T2CON0[7]	0x12	RW1-0
TOUTPS	Timer2 后分频比 0000 = 1 0100 = 5 1000 = 9 1100 = 13 0001 = 2 0101 = 6 1001 = 10 1101 = 14 0010 = 3 0110 = 7 1010 = 11 1110 = 15 0011 = 4 0111 = 8 1011 = 12 1111 = 16		T2CON0[6:3]		RW- 0000
TMR2ON	Timer2 (PWM单脉冲模式下自动清0)	1 = 使能 0 = 关闭	T2CON0[2]		RW-0
T2CKPS	Timer2预分频比	00 = 1 1x = 16 01 = 4	T2CON0[1:0]		RW-00
T2CKSRC	Timer2 时钟源 000 = 指令时钟 100 = HIRC 001 = 2x 指令时钟 101 = LIRC 010 = 2x HIRC 110 = LP (*) 011 = 2x LP, XT or EC (*) 111 = XT (*) (*)FOSC 应相应配置成 LP/XT/EC 模式或选择 INTOSCIO 模式，否则振荡器将不会运行		T2CON1[2:0]	0x9E	RW-000
LFMOD	1: LIRC = 256kHz	0: LIRC = 32kHz	OSCCON[7]	0x8F	RW-0
PR2L	PR2 周期寄存器低 8 位		PR2L[7:0]	0x91	RW-1111 1111
PR2H	PR2 周期寄存器高 8 位		PR2H[7:0]	0x92	RW-1111 1111
TMR2L	TMR2 计数结果寄存器低 8 位		TMR2L[7:0]	0x11	RW-0000 0000
TMR2H	TMR2 计数结果寄存器高 8 位		TMR2H[7:0]	0x13	RW-0000 0000

表 7-7 Timer2 相关用户控制寄存器

名称	状态		寄存器	地址	复位值
GIE	全局中断 1 = 使能 (PEIE, TMR2IE 适用)	0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B	RW-0
PEIE	外设总中断	1 = 使能 (TMR2IE 适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
TMR2IE	Timer2与PR2匹配中断	1 = 使能 0 = 关闭 (无唤醒)	PIE1[1]	0x8C	RW-0
TMR2IF	Timer2与PR2匹配中断标志位	1 = 匹配 (锁存) 0 = 不匹配	PIR1[1]	0x0C	RW-0

表 7-8 Timer2 中断使能和状态位

7.3.2 Timer2 寄存器的读/写操作

TMR2H 和 TMR2L 不能同时读或写。通过 TMR2H 的内部缓存 TMR2H_buf 可解决此问题，必须遵循以下读写顺序：

- 读 TMR2 时，先读 TMR2L，此时 TMR2H 的值将被锁存到 TMR2H_buf，然后读 TMR2H。当 Timer2 的时钟源不是指令时钟时，需设置 “TMR2ON =0” 以停止计数，然后在读 TMR2 之前执行 1 条 NOP 指令。
- 写 TMR2 时，先写 TMR2H，此时 TMR2H 的值将被储存到 TMR2H_buffer 中。然后写 TMR2L，此时 TMR2H 和 TMR2L 将同时更新到计数值中。另外，为了避免写入操作和计数之间的竞争，在写操作前，应设置 “TMR2ON = 0” 以停止计数。

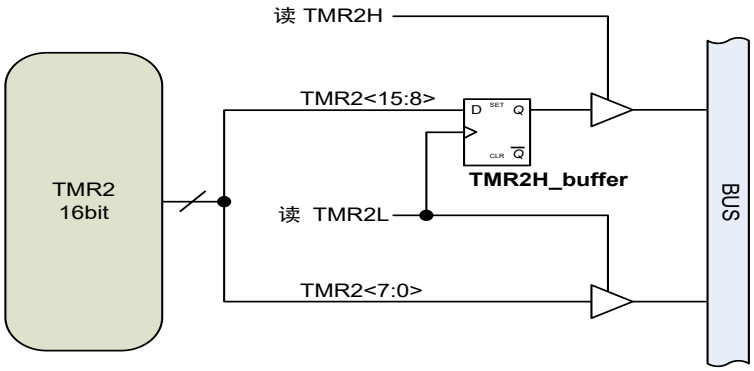


图 7-4 TMR2 读操作结构框图

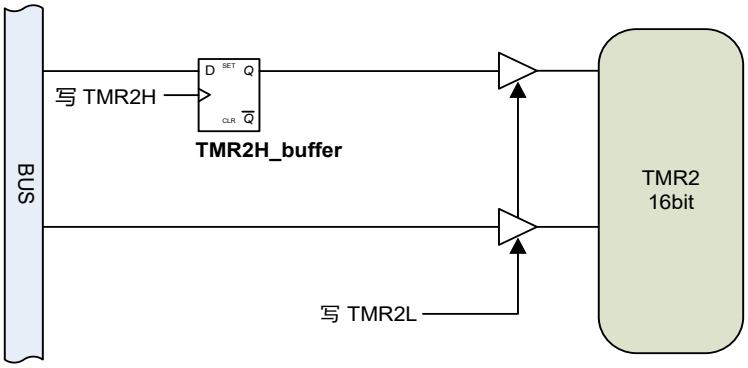


图 7-5 TMR2 写操作结构框图

8. SLEEP 睡眠模式 (POWER-DOWN)

睡眠模式下，指令时钟关闭，指令执行停止，大多数模块掉电以降低功耗。如**表 8-1** 所示，FT60F11x / FT60F12x 可根据实际需求在睡眠时有选择地开启各个模块，而无须指令介入，以使其相应功能如 LVR、LVD、WDT、Timers 和 PWM 能在 SLEEP 模式下保持运行。有些模块也可配置成进入 SLEEP 后自动关闭，而无须由指令关闭。

模块	SLEEP 模式下的各模块配置条件	
	运行	自动关闭?
指令时钟	(始终关闭)	Yes
LVR (配置 LVREN)	使能或通过指令控制 (SLVREN = 1)	非 SLEEP 模式下使能
LVD	LVDEN = 1	No
WDT	WDTE or SWDTEN	No
TIMER0	T0CKRUN = 1 & T0CKSRC ≠ 00 & T0ON = 1	T0CKRUN=0
TIMER2	T2CKRUN = 1 & T2CKSRC ≠ 000 & TMR2ON = 1	T2CKRUN=0
PWM	(跟随 TIMER2)	
HIRC / LIRC / EC / LP / XT	(跟随使用它们的外设状态)	
I/O	(除非 SLEEP 时使能 PWM，否则 I/O 将保持其进入 SLEEP 前的状态)	

表 8-1 除指令时钟外，其他模块可根据需求在 SLEEP 模式下保持运行

8.1 进入 SLEEP

CPU 通过执行 SLEEP 指令进入睡眠模式。进入睡眠时：

1. 如果 WDT 使能，则 WDT 的后分频器(如果分配给 WDT)和定时器将被清零，并重新开始计时。
2. 超时标志位 (/TF) = 1。
3. 掉电标志位 (/PF) = 0。
4. 时钟源
   - 指令时钟自动关闭。
   - 如果 Timer 在 SLEEP 下保持运行，则其所选用的时钟源 HIRC, LIRC 或外部振荡器(EC, LP, XT)也将保持运行。 如果某个 Timer 在睡眠中自动关闭，则其时钟源也将自动关闭，除非此时钟源同时被另一个保持运行的 Timer 所使用。
   - 指令时钟自动停止，因此即便配置了输出内部指令时钟，进入睡眠后其输出也将停止。
5. I/O 端口
   - 如果 Timer2 在 SLEEP 下保持运行，则 PWM 输出也将保持。如果 Timer2 自动关闭，那么 PWM 的输出将保持其进入 SLEEP 前的状态。
   - 其他数字输出端口，将保持其进入 SLEEP 前的状态(高阻态，低电平或高电平)。

有关各个外设在 SLEEP 状态下如何工作的详细信息，请查阅相应章节。

8.2 从 SLEEP 中唤醒

从睡眠中唤醒有 2 个基本原则：

- 基于时间，即 CPU 在一定的时间后醒来。建议选择 LIRC 作为计时的时钟源，因为 LIRC 比 HIRC 的功耗更低。
- 基于事件，即触发 POR，系统复位，仅唤醒而不产生中断，以及产生中断的事件，如 LVD，端口变化中断，PA2 边沿中断。

从睡眠中唤醒，分为以下几种情况：

1. 如果使能，看门狗定时器可触发唤醒 (参阅 **章节 7.1** 看门狗定时器)。
2. 完全复位和系统复位：
   - POR 完全复位 (不能关闭)
   - 通过 /MCLR 进行外部系统复位 (如果使能)
   - LVR 复位 (如果使能)
3. 使能中断 (关闭“全局中断使能”不影响唤醒功能)。请参阅 **章节 9** 中断。

注：

1. 从睡眠中唤醒将清零 WDT。
2. 紧跟 SLEEP 指令后必须写为 NOP 指令

   使用非中断方式 (即未执行“中断服务程序”) 从 SLEEP 中唤醒时，比如 WDT 唤醒或全局中断控制位(GIE)未使能时的中断事件唤醒，下一条指令将被执行两次。为了避免重复执行，紧跟 SLEEP 指令后必须为 NOP 指令。

   ```
   SLEEP
   NOP          // 非中断方式唤醒时，NOP 将执行两遍。
   ```

9. 中断 (INTERRUPTS)

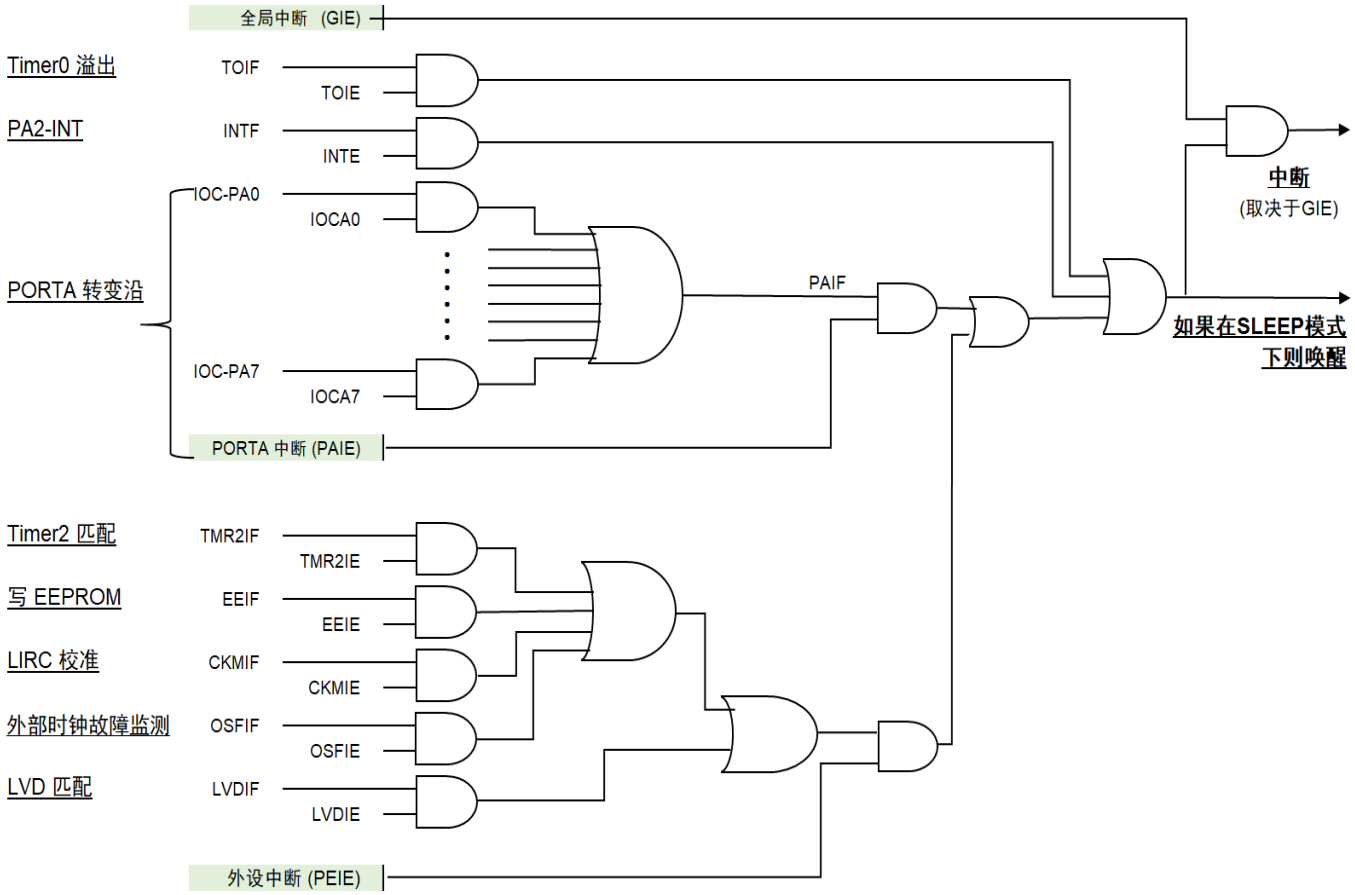


图 9-1 中断结构框图

CPU 支持 8 个中断源，分为 2 组：

1) 非外设中断 (Timer0 和 I/O)

- Timer0 溢出
- PA2−INT (上升沿或下降沿中断)
- PORTA 端口变化中断 (软件控制)

2) 外设中断

- Timer2 后分频器溢出
- DATA EEPROM 写完成
- LIRC 和 HIRC 交叉校准完成
- 故障保护时钟监控器
- LVD 条件匹配

与其他 Timers 不同，WDT 溢出不会产生中断。除外部 I/O 中断外，其他中断请参阅相应章节。

产生中断时，PC 跳转并执行 ”中断服务程序(ISR)”。中断的关闭/使能有多层控制：

- 每个中断源均有其独立的中断使能位：T0IE, INTE, IOCAx, TMR2IE, OSFIE, OSFIE, CKMIE, EEIE, LVDIE。
- 8 个 PAx 中断输入共用一个端口中断使能位：PAIE (PORTA Interrupt Enable)。
- 外设中断有一个总中断使能位：PEIE (PEripheral Interrupt Enable)。
- 如果关闭以上所有控制位，将不会执行从睡眠中唤醒。
- 所有中断都由全局中断使能位控制：GIE (Global Interrupt Enable)。与其他使能位不同，当关闭全局中断使能位时，依然允许从睡眠中唤醒。
- 关闭中断使能位并不影响中断标志位的置位。

中断处理时序如下：

- 自动设置 “GIE = 0”，从而关闭中断。
- 返回地址被压入堆栈，程序指针 PC 加载 0x0004 地址。
- 发生中断后的 1 – 2 个指令周期，跳转到 ”中断服务程序(ISR)” 开始处理中断。
- 执行 “从中断返回(RETI)” 指令退出 ISR。在 RETI 之前必须清除当前所处理的中断标志位。
- 当 ISR 完成时，PC 返回到中断前的地址，如果在 SLEEP 模式下，则返回到 SLEEP 指令后紧跟的地址。
- 在执行 RETI 时自动设置 “GIE = 1”，从而使能中断。

注： 中断过程中，只有返回 PC 地址被自动保存在堆栈上。如果用户需要保存其他重要的寄存器值(如 W, STATUS 寄存器等)，必须通过指令将这些值正确地写入临时寄存器中，建议使用 SRAM 的最后 16 个 bytes 作为临时寄存器，因为所有 bank 共用这 16 个 bytes，而不需要切换 bank 以节省代码。

9.1 中断相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值(RW)
INTCON	0x0B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
PIE1	0x8C	EEIE	CKMIE	LVDIE	–	–	OSFIE	TMR2IE	–	0000 0000
PIR1	0x0C	EEIF	CKMIF	LVDIF	–	–	OSFIF	TMR2IF	–	0000 0000
OPTION	0x81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111
TRISA	0x85	PORTA 方向控制								1111 1111
IOCA	0x96	PORTA 端口变化中断设置								0000 0000

表 9-1 中断相关寄存器地址和默认值

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE，各中断独立使能位适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B	RW-0
PEIE	外设总中断	1 = 使能 (各中断独立使能位适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
T0IE	Timer0 溢出中断	1 = 使能 0 = 关闭 (无唤醒)	INTCON[5]		RW-0
INTE	PA2-INT 外部中断		INTCON[4]		RW-0
PAIE	PORTA 端口变化总中断		INTCON[3]		RW-0
T0IF	Timer0 溢出中断标志位	1 = Yes (锁存) 0 = No	INTCON[2]		RW-0
INTF	PA2-INT 外部中断标志位		INTCON[1]		RW-0
PAIF	PORTA 端口变化总中断标志		INTCON[0]		RW-0

表 9-2 INTCON 寄存器

名称	状态		寄存器	地址	复位值
EEIE	EE 写完成中断	1 = 使能 0 = 关闭 (无唤醒)	PIE1[7]	0x8C	RW-0
CKMIE	LIRC 和 HIRC 交叉校准完成中断		PIE1[6]		RW-0
LVDIE	LVD 中断		PIE1[5]		RW-0
OSFIE	外部振荡器故障中断		PIE1[2]		RW-0
TMR2IE	Timer2 与 PR2 匹配中断		PIE1[1]		RW-0

表 9-3 PIE1 寄存器

名称	状态		寄存器	地址	复位值
EEIF	EEPROM 写完成标志位	1 = Yes (锁存) 0 = No	PIR1[7]	0x0C	RW-0
CKMIF	LIRC 和 HIRC 交叉校准完成标志位		PIR1[6]		RW-0
LVDIF	LVD 中断标志位		PIR1[5]		RW-0
OSFIF	外部振荡器故障标志位		PIR1[2]		RW-0
TMR2IF	Timer2 与 PR2 匹配标志位		PIR1[1]		RW-0

表 9-4 PIR1 寄存器

名称	状态	寄存器	地址	复位值
/PAPU	PORTA 上拉 1 = 全局关闭 0 = 由 WPUA 控制	OPTION[7]	0x81	RW-1
INTEDG	PA2 中断沿 1 = 上升沿 0 = 下降沿	OPTION[6]		RW-1
TRISA	PORTA I/O 数字输出 (方向控制) 1 = 输入 (关闭数字输出) 0 = 关闭上拉/下拉	TRISA[7:0]	0x85	RW-11111111
IOCA	PORTA 端口变化中断 1 = 使能 0 = 关闭	IOCA[7:0]	0x96	RW-00000000

表 9-5 OPTION，TRISA 和 IOCA 寄存器

9.2 PA2-INT 和 PORTA 端口变化中断

名称	PA2-INT	PORTA 端口变化中断
通道数	仅PA2	PA0 – PA7 (多达8个通道)
I/O 设置	TRISA[2] = 1	TRISA[x] = 1
其他设置	INTEDG, INTE, GIE, INTF	IOCA, PAIE, GIE, PAIF
触发	上升沿或下降沿 (二选一)	0 → 1 或 1 → 0
需要软件监控?	No	需要

表 9-6 PA2-INT 和 PORTA 端口变化中断之间的区别

PA2-INT 和 PORTA 端口变化中断均为外部 I/O 中断，而两者对 PA2 均适用。如果设置正确，PA2-INT 将在后台运行而无需监督。PORTA 端口变化中断则需要持续的软件监控。对于 PORTA 端口变化中断：

1. 将输入寄存器值锁存到端口变化中断锁存器中(通过读 PORTA)。
2. 当输入电平变化时，输入寄存器值与锁存器值之间的差异将置位 PAIF。
3. 输入寄存器的锁存过程(即读 PORTA 的过程)将更新用于比较的参考电平，如果在 PAIF 置位后立即读 PORTA 即可清除端口变化中断的触发条件。当端口不匹配事件不再存在时，PAIF 可通过指令清除。

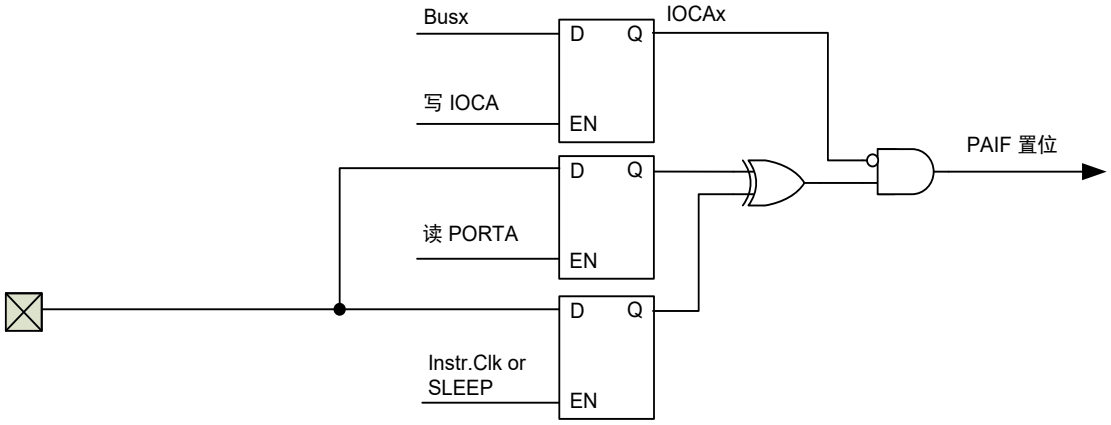


图 9-2 PORTA 转变沿中断

10. PWM

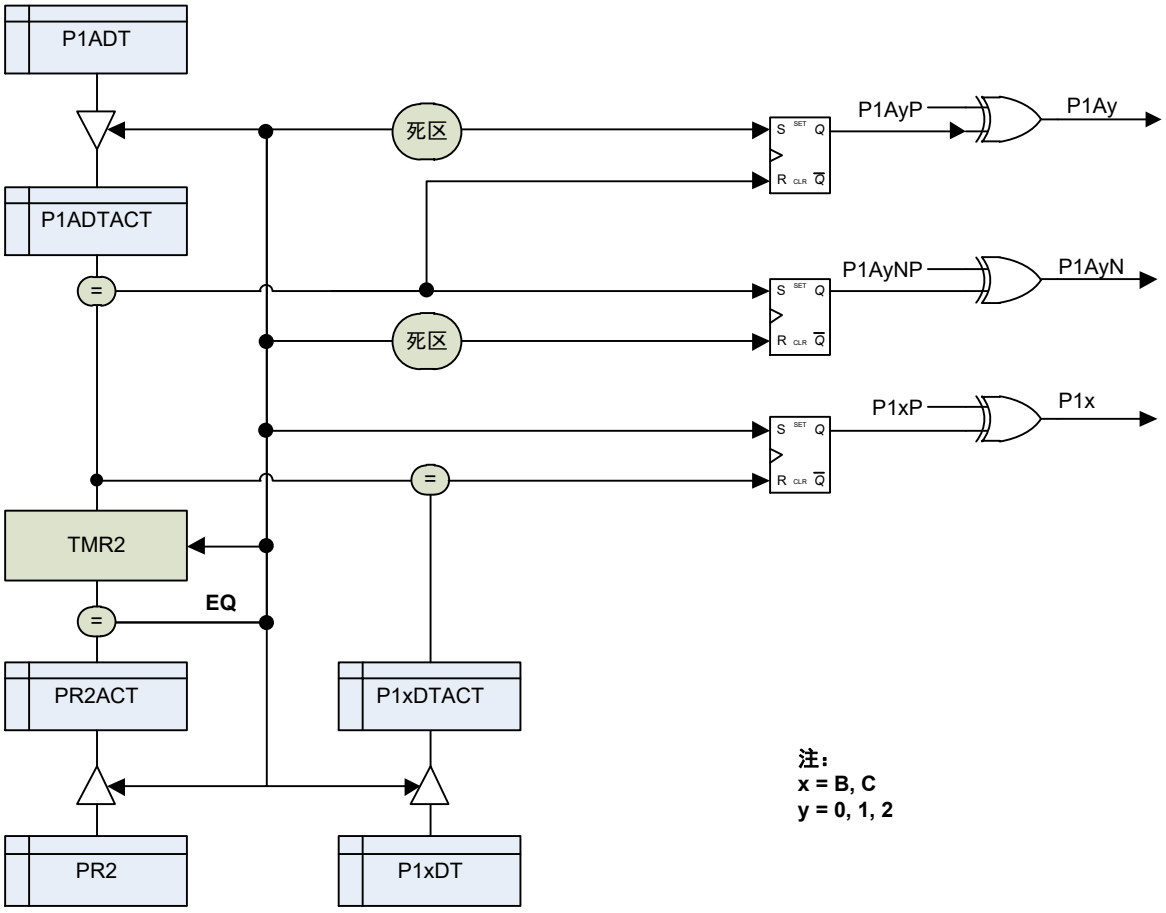


图 10-1 PWM 结构框图

PWM 特性：

- 3 路周期相同 (由 Timer2 控制)，且独立占空比的 PWM 通道：P1A, P1B, P1C
- 通道 1 带有互补输出：/P1A
- 1 路带死区控制的 PWM 通道：P1A, /P1A
- 16−bit 的分辨率
- 每路 PWM 输出极性可独立控制
- 带可选自动重启功能的多种故障刹车事件
- PWM1 可映射到 3 个 I/O, PWM2 和 PWM3 可映射到 2 个 I/O
- XOR/XNOR 第 2 功能输出
- 蜂鸣器模式
- 单脉冲输出模式
- 周期和占空比寄存器双缓冲读写设计

SLEEP 模式下的 PWM 操作 – 不管是否处于 SLEEP 状态，只要 Timer2 保持运行(参阅 **章节 7.3** Timer2)，且 PWM 使能，那么 PWM 将一直保持运行。而 Timer2 如需在 SLEEP 下运行，其时钟源不可选择指令时钟。如果 SLEEP 模式下 Timer2 自动关闭，那么 PWM 的输出将保持其进入 SLEEP 前的状态。

10.1 PWM 相关寄存器汇总

	Timer2 周期		Timer2 计数器		占空比		死区时间
	MSB	LSB	MSB	LSB	MSB	LSB	
PWM1	PR2H	PR2L	TMR2H	TMR2L	P1ADTH	P1ADTL	P1DC
/PWM1							
PWM2					P1BDTH	P1BDTL	–
PWM3					P1CDTH	P1CDTL	–

名称	地址	bit 7	bit 6 - 0	复位值(RW)
PR2H	0x92	PR2 周期高 8 位		1111 1111
PR2L	0x91	PR2 周期低 8 位		1111 1111
TMR2H	0x13	Timer2 计数器高 8 位		0000 0000
TMR2L	0x11	Timer2 计数器低 8 位		0000 0000
P1ADTH	0x14	P1A 占空比高 8 位		0000 0000
P1ADTL	0x0E	P1A 占空比低 8 位		0000 0000
P1BDTH	0x15	P1B 占空比高 8 位		0000 0000
P1BDTL	0x0F	P1B 占空比低 8 位		0000 0000
P1CDTH	0x1A	P1C 占空比高 8 位		0000 0000
P1CDTL	0x10	P1C 占空比低 8 位		0000 0000
P1CON	0x16	–	P1DC (死区时间)	-000 0000

表 10-1 PWM 时序设置

	通道分配			输出使能			极性		
	Ch 0	Ch 1	Ch 2	Ch 0	Ch 1	Ch 2	Ch 0	Ch 1	Ch 2
PWM1	PC5	PC3	PC1	P1A0OE	P1A1OE	P1A2OE	P1A0P	P1A1P	P1A2P
/PWM1	PC4	PC2	PC0	P1A0NOE	P1A1NOE	P1A2NOE	P1A0NP	P1A1NP	P1A2NP
PWM2	PA4	PA5	–	P1BOE	P1BALT	–	P1BP	–	–
PWM3	PA3	PA2	–	P1COE	P1CALT	–	P1CP	–	–

名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	地址	复位值(RW)
P1BR1	P1C2SS [1:0]		P1B2SS [1:0]		P1CALT	P1BALT	P1CSS [1:0]		0x19	0000 0000
P1OE	P1COE	P1BOE	P1A2NOE	P1A2OE	P1A1NOE	P1A1OE	P1A0NOE	P1A0OE	0x90	0000 0000
P1POL	P1CP	P1BP	P1A2NP	P1A2P	P1A1NP	P1A1P	P1A0NP	P1A0P	0x99	0000 0000

表 10-2 PWM 输出极性[6] (1 = 反向, 0 = 正常) 和输出使能位 (1 = 使能, 0 = 关闭)

[6] 对于 A~D 版本芯片，在刹车状态时, P1B 通道极性由 P1A2NP 控制, P1A2N 通道极性由 P1BP 控制。

	关闭 = 0，使能 = 1			异或(XOR) = 0， 同或(XNOR) = 1			第 2 功能
	Ch 0	Ch 1	Ch 2	Ch 0	Ch 1	Ch 2	
PWM1	–	–	–	–	–	–	N/A
/PWM1	–	–	–	–	–	–	N/A
PWM2	–	P1BF2E	–	–	P1BF2	–	P1B xor/xnor P1C
PWM3	–	P1CF2E	–	–	P1CF2	–	P1B xor/xnor P1C

名称	地址	bit 3	bit 2	bit 1	bit 0	复位值 (RW)
P1AUX	0x1E	P1CF2E	P1CF2	P1BF2E	P1BF2	0000

表 10-3 PWM 第 2 功能

名称	3 路 PWM 通道通用控制	寄存器	地址	复位值
PR2U	更新周期和占空比的即时生效控制位 1 = PR2/P1xDTy 缓冲值立即分别更新到 PR2ACT 和 P1xDTyACT 0 = 周期结束后正常更新	T2CON0[7]	0x12	RW1-0
P1OS	1 = 单脉冲 (One pulse) 模式 0 = 正常连续模式	T2CON1[4]	0x9E	RW-0
P1BZM	1 = 蜂鸣器 (Buzzer) 模式，50%占空比 0 = 正常 PWM 模式	T2CON1[3]		RW-0

表 10-4 3 路 PWM 通道的通用功能控制

名称	控制	寄存器	地址	复位值
P1BKS	PWM 故障源 000: 禁止故障刹车功能 001: BK0 = 0 010: BK0 = 1 011: LVDW = 1 100: LVDW = 1 or BK0 = 0 101: LVDW = 1 or BK0 = 1 110: 禁止故障刹车功能 111: 禁止故障刹车功能	P1BR0[6:4]	0x17	RW-0
P1AUE	PWM 自动重启 1 = 当故障条件被清除时，P1BEVT 自动清零，PWM 自动重启 0 = 当故障条件被清除时，P1BEVT 由指令清零，PWM 重启	P1CON[7]	0x16	RW-0

表 10-5 PWM 故障刹车源和自动重启

名称	状态	寄存器	地址	复位值
P1BEVT	PWM 发生故障事件标志位 1 = Yes (锁存，直至被清零) 0 = No	P1BR0[7]	0x17	RW-0

表 10-6 PWM 故障事件状态位

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值(RW)
P1BR0	0x17	P1BEVT	P1BKS [2:0]			P1BSS		P1ASS		0000 0000
P1BR1	0x19	P1C2SS		P1B2SS		P1CALT	P1BALT	P1CSS		0000 0000
P1AUX	0x1E	–	–	–	–	P1CF2E	P1CF2	P1BF2E	P1BF2	---- 0000

	故障下，引脚输出状态			备注	
	Ch 0	Ch 1	Ch 2		
PWM1	P1ASS			00 = 高阻; 01 = 逻辑 “0” 1x = 逻辑 “1”; *如 p1xxp = 0，逻辑 “0” = 0* *如 p1xxp = 1，逻辑 “0” = 1*	(1) 00 = 高阻; 01 = 0 1x = 1
/PWM1					
PWM2	P1BSS	*P1B2SS*(1)	–		
PWM3	P1CSS	*P1C2SS*(1)	–		

表 10-7 PWM 发生故障时的输出状态

10.2 时钟源

3 路 PWM 通道的专用定时器为 Timer2，其可选择的 6 个时钟源如下：

- 1x or 2x 指令时钟
- 1x or 2x HIRC
- LIRC
- 1x or 2x 外部时钟 (只有当 FOSC 相应地配置成 LP, XT 或 EC 模式时才有效)

具体时钟源设置请参阅 **章节 7.3** Timer2.

10.3 周期 (Period)

PWM 周期由 Timer2 的 PR2 (PR2H + PR2L) 周期寄存器决定，如 **公式 10-1**：

公式 10-1 *PWM 周期 = (PR2 + 1)*T_{T2CK}*(TMR2 预分频值)*

当 Timer2 的计数结果寄存器 TMR2 与 PR2 相等时：

- Timer2 的周期和占空比寄存器(PR2ACT 和 P1xDTACT)被更新。
- TMR2 被清零，即 “TMR2 = 0”。
- P1Ax, P1Bx, P1Cx 输出逻辑 “1”。

10.4 占空比 (Duty Cycle)

3 路 PWM 均具有独立的占空比，由相应的 2 x 8−bit 寄存器 (P1xDTH, P1xDTL) 设置。P1xDTH 为高 8 位而 P1xDTL 为低 8 位。由于内部的双缓冲设计，P1xDTH 和 P1xDTL 寄存器可在任何时刻被更新写入。

PWM 脉宽(Pulse width) 和占空比(Duty cycle) 分别由 **公式 10-2** 和 **公式 10-3** 计算得出：

公式 10-2 *脉宽 = P1xDT*T_{T2CK}*(TMR2 预分频值)*

公式 10-3 *占空比 = P1xDT ÷ (PR2+1)*

10.5 死区 (Deadband) 时间

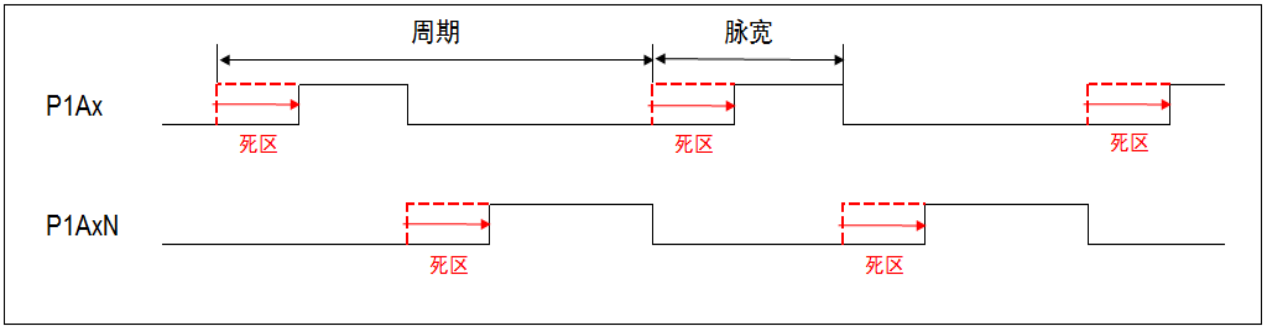


图 10-2 PWM 死区时间时序图

如果 P1DC ≠ “00 0000”，P1Ax 和 P1AxN (/P1A) 的低到高转换沿将产生延迟，延迟时间即为”死区”时间。有效脉宽和占空比也相应减小。死区定时器以Timer2时钟作为计数时钟源。

10.6 故障刹车 (Fault-Break) 功能

3 路 PWM 均支持故障刹车功能。一旦发生故障刹车事件，且只要故障条件一直存在，PWM 输出引脚将根据其设置一直输出预定状态。TMR2ON 不受影响。故障刹车事件可以为下列条件之一：

- BK0 = 0
- BK0 = 1
- LVDW = 1 (LVDDEB 使能消抖，用于 LVDW 的滤波)
- LVDW = 1, BK0 = 0
- LVDW = 1, BK0 = 1

注： P1BEVT 为故障事件状态位。LVDW 不锁存，反映 LVD 的实时比较结果。

故障刹车时的输出状态 – 故障刹车时，P1x 输出可以为输入状态(高阻)，输出逻辑高或逻辑低。注意，P1B1, P1C1 的故障输出状态的控制逻辑与其他 I/O 不同。

故障清除 – 只要故障条件有效，P1BEVT 便不能由指令清零。只有当故障条件被清除时，P1BEVT 才可被指令清零。

自动重启模式 – 发生故障刹车时，Timer2 将停止计数。当故障事件结束后，Timer2 将从其停止处恢复计数。3 路 PWM 输出可同时配置成自动重启模式，否则 PWM 输出必须由指令重启。

10.7 周期和占空比寄存器的更新

周期和各占空比寄存器可随时被更新写入，但除非使用 PR2U 来使其立即强制更新，否则直至下一个周期到来时其更新值才会真正有效。

注： 指令可读 PR2 和 P1xDTL, P1xDTH 寄存器，而 xxxACT 对软件不可见。

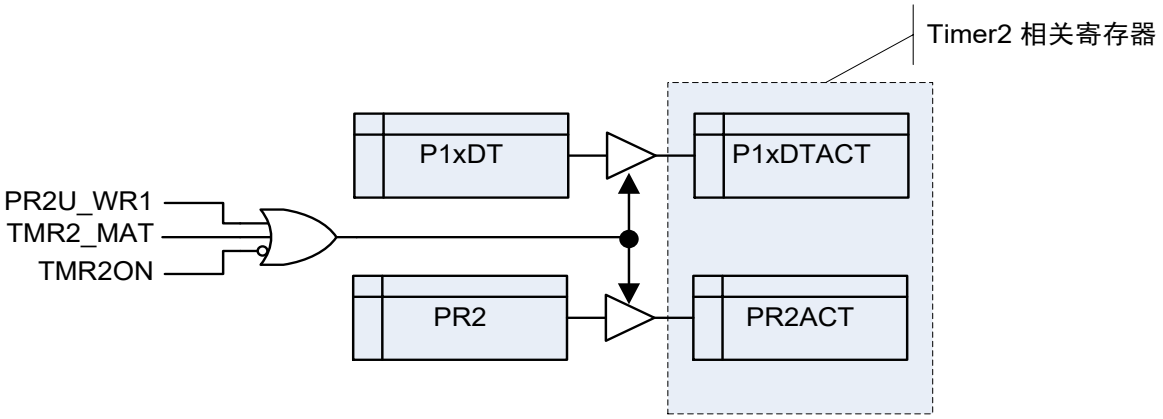


图 10-3 Timer2 寄存器的更新

周期和占空比寄存器的双缓冲读写设计可确保在大部分情况下减少 PWM 输出的毛刺，但如果在非常接近一个周期结束时去更新这些寄存器(特别是在 Timer2 的频率比系统时钟 Sysclk 快的情况下)，则可能发生不可预知的情况，且可能导致 xxxACT 寄存器的值被改为非期望值。

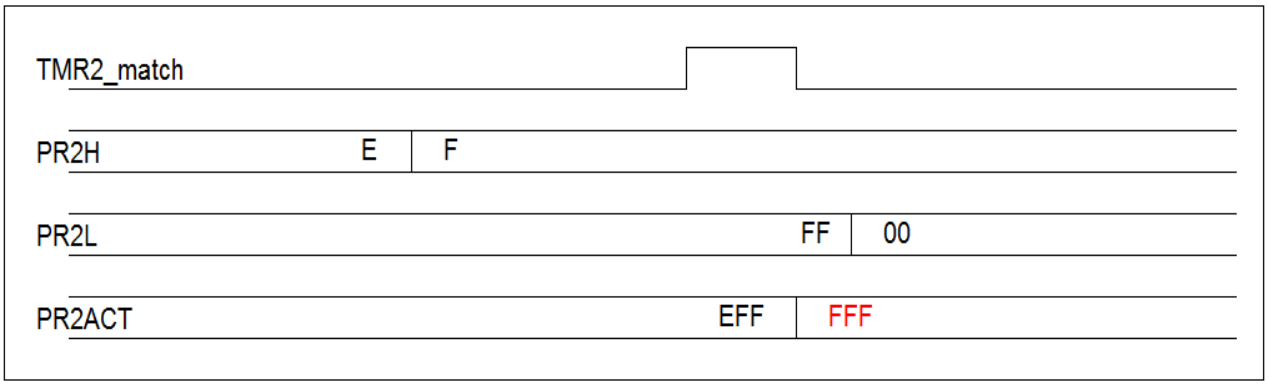


图 10-4 PR2ACT 值被更新成 FFF (期望值为 F00)

因此强烈建议在一个新的周期开始后立即更新 PR2 和 xxxDTx 寄存器。

10.8 PWM 输出

重映射 – 3 路独立占空比的 PWM 通道 P1A, P1B, P1C，可映射到不同的 I/O 引脚。PWM1 可分别映射到 3 个 I/O，PWM2 和 PWM3 可分别映射到 2 个 I/O。

蜂鸣器 (Buzzer) 模式 – 输出周期为 (2*(PR2+1)*T_{T2CK} *(TMR2 预分频值)。P1A, P1B, P1C 将输出 50%占空比的方波。

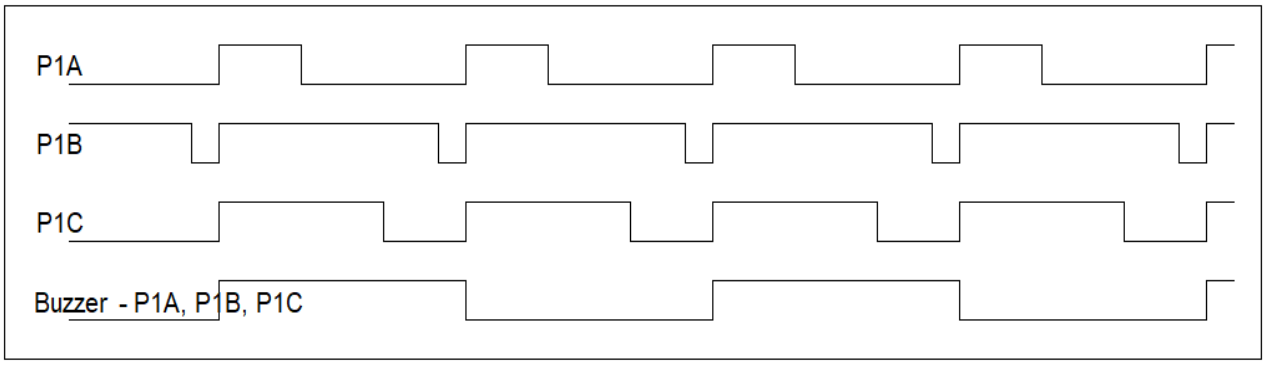


图 10-5 蜂鸣器模式的输出时序图

单脉冲输出 – P1A, P1B, P1C 将只产生一次相应的单脉冲。

10.9 (P1B, P1C) 的第 2 功能输出

PA2 和/或 PA5 = P1B xor P1C (或 P1B xnor P1C，参阅 “P1BF2E” 和 “P1CF2E”，**表 10-3**)。

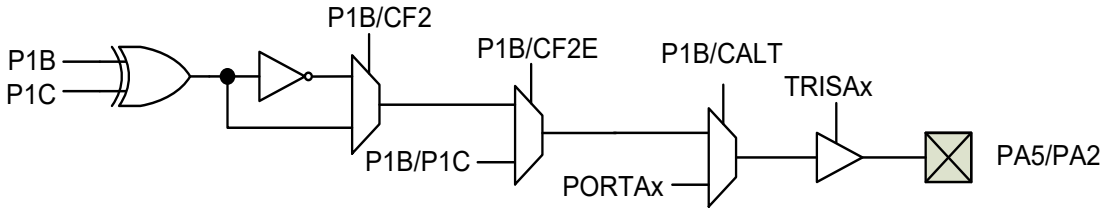


图 10-6 第 2 功能输出结构框图

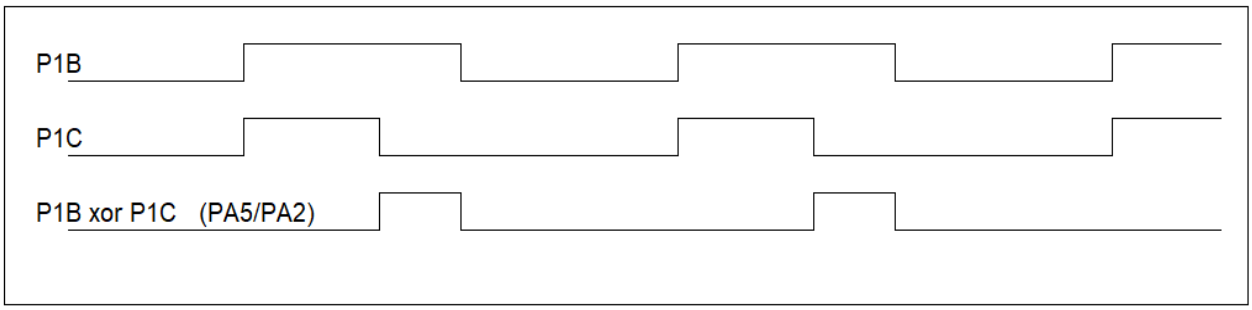


图 10-7 P1B 和 P1C 的第 2 功能时序图

11. 数据 EEPROM (DATA EEPROM)

片内集成有 256 x 8−bit 的非易失性 DATA EEPROM 存储区，并独立于主程序区。此数据存储区的典型擦写次数可达 100 万次。可通过指令进行读/写访问，每次可读取或写入的单位为 1 个 byte (8−bit)，没有页模式(page mode)。擦除/编程实现了硬件自定时，无需软件查询，以节省有限的代码空间。因此写操作可在后台运行，不影响 CPU 执行其他指令，甚至可进入 SLEEP 状态。

读操作需要 2 个指令时钟周期，而写操作需要的时间为 $T_{WRITE-EEPROM}$ (2 ~ 4 ms)。芯片内置有电荷泵，因此不需要提供外部高压，即可对 EEPROM 区进行擦除和编程。写操作完成时将置位相应的中断标志位 EEIF。

不支持连续读(sequential READ) 或连续写(sequential WRITE)，因此每次读/写都必须更新相应的地址。

只要 $V_{DD} \geq V_{POR}$, CPU 即可在 8 MHz / 2T 的速度下运行，在高温下甚至可低至 1.5V 左右。而写 DATA EEPROM 所需的电压($V_{DD-WRITE}$) 较高。工作温度等级 2 和等级 1 的最低 $V_{DD-WRITE}$ 分别为 1.9V 和 2.2V。读 DATA EEPROM 没有此最低电压限制(参阅 $V_{DD-READ}$)。

11.1 DATA EEPROM 相关寄存器汇总

名称	状态	寄存器	地址	复位值
EEDAT	DATA EEPROM 数据	EEDAT[7:0]	0x9A	RW−0000 0000
EEADR	DATA EEPROM 地址	EEADR[7:0]	0x9B	RW−0000 0000
WREN3	DATA EEPROM 写使能 (bit 3) 111 = 使能，完成后重置为 000 (其他) = 关闭	EECON1[5]	0x9C	RW−0
WREN2	DATA EEPROM 写使能 (bit 2)	EECON1[4]		RW−0
WRERR	DATA EEPROM 写错误标志位 1 = 中止 (发生 MCLR 或 WDT 复位) 0 = 正常完成	EECON1[3]		RW−x
WREN1	DATA EEPROM 写使能 (bit 1)	EECON1[2]		RW−0
RD	DATA EEPROM 读控制位 1 = 使能 (保持 4 个 SysClk 周期，然后清零) 0 = 关闭	EECON1[0]		RW−0
WR	DATA EEPROM 写控制位 1 = 启动一次写或写正在进行中 (完成后重置为 0) 0 = 完成	EECON2[0]	0x9D	RW−0

表 11-1 EEPROM 相关用户控制寄存器

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE, EEIE 适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B	RW-0
PEIE	外设总中断	1 = 使能 (EEIE 适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
EEIE	EEPROM 写完成中断	1 = 使能 0 = 关闭 (无唤醒)	PIE1[7]	0x8C	RW-0
EEIF	EEPROM 写完成中断标志位	1 = Yes (锁存) 0 = No	PIR1[7]	0x0C	RW-0

表 11-2 EEPROM 中断使能和状态位

11.2 写 DATA EEPROM

1. 设置 “GIE = 0”；
2. 判断 GIE，如果 “GIE = 1”，则重复步骤 (1)；
3. 将目标地址写入 EEADR；
4. 将目标数据写入 EEDAT；
5. 设置 “WREN3, WREN2, WREN1” = “1, 1, 1”，并在整个编程过程中保持此设置；
6. 须立即设置 “WR = 1” 以启动写 (否则将中止)；
7. 编程完成 (编程时间请参阅 $T_{WRITE-EEPROM}$) 后，”WR” 和 “WREN3, WREN2, WREN1” 都将自动清 0；

示例程序：

```
BCR INTCON, GIE
BTSC INTCON, GIE
LJUMP $-2
BANKSEL EEADR
LDWI 55H
STR EEADR           ; 地址为 0x55
STR EEDAT           ; 数据为 0x55
LDWI 34H
STR EECON1          ; WREN3/2/1 同时置 1
BSR EECON2, 0       ; 启动写
BSR INTCON, GIE     ; GIE 置 1
```

注：

1. 将数据写入字节(byte)的过程包括 2 步：先自动擦除字节，再编程字节。
2. 当编程正在进行中时，对 Data EEPROM 进行读操作将导致读取结果错误。
3. 如果编程完成前，WREN3, WREN2 或 WREN1 任意一位被清 0，在下次编程前需清除 EEIF 标志位。

11.3 读 DATA EEPROM

将目标地址写入 EEADR 寄存器，然后启动读 (“RD = 1”)。EEPROM 数据在下一个指令时钟周期即被写入 EEDAT 寄存器，因而下一条指令即可读取。EEDAT 寄存器将保持此值直至下一次读或写操作。

读 DATA EEPROM 的示例程序如下：

```
BANKSEL EEADR
LDWI dest_addr
STR EEADR
BSR EECON1, RD
LDR EEDAT, W
```

12. 存储区读/写保护

程序区(PROM)可配置为全区读保护。此保护功能由 IDE 界面进行选择配置。

名称	功能	默认
CPB	PROM 全区读保护	关闭

表 12-1 存储区读/写保护初始化配置寄存器

13. 指令集 (INSTRUCTION SET)

汇编语法	功能	运算	状态位
NOP	空操作	None	NONE
SLEEP	进入 SLEEP 模式	0 → WDT; Stop OSC	/PF, /TF
CLRWDT	清看门狗 (喂狗)	0 → WDT	/PF, /TF
LJUMP N	无条件跳转	N → PC	NONE
LCALL N	调用子程序	N → PC; PC + 1 → Stack	NONE
RETI	从中断返回	Stack → PC; 1 → GIE	NONE
RET	从子程序返回	Stack → PC	NONE
BCR R, b	将寄存器 R 的 b 位清 0	0 → R(b)	NONE
BSR R, b	将寄存器 R 的 b 位置 1	1 → R(b)	NONE
CLRR R	将寄存器 R 清 0	0 → R	Z
LDR R, d (MOVF)	将 R 存到 d	R → d	Z
COMR R, d	R 的反码	/R → d	Z
INCR R, d	R + 1	R + 1 → d	Z
INCRSZ R, d	R + 1，结果为 0 则跳过	R + 1 → d	NONE
DECR R, d	R − 1	R − 1 → d	Z
DECRSZ R, d	R − 1，结果为 0 则跳过	R − 1 → d	NONE
SWAPR R, d	将寄存器 R 的半字节交换	R(0-3)R(4−7) → d	NONE
RRR R, d	R 带进位循环右移	R(0) → C; R(n) → R(n−1); C → R(7);	C
RLR R, d	R 带进位循环左移	R(7) → C; R(n) → R(n+1); C → R(0);	C
BTSC R, b	位测试，结果为 0 则跳过	Skip if R(b)=0	NONE
BTSS R, b	位测试，结果为 1 则跳过	Skip if R(b)=1	NONE
CLRW	将工作寄存器 W 清 0	0 → W	Z
STTMD	将 W 内容存到 OPTION	W → OPTION	NONE
CTLIO R	设置 I/O 方向控制寄存器 TRISr	W → TRISr	NONE
STR R (MOVWF)	将 W 存到 R	W → R	NONE
ADDWR R, d	W 与 R 相加	W + R → d	C, HC, Z
SUBWR R, d	R 减 W	R − W → d	C, HC, Z
ANDWR R, d	W 与 R 相与	R & W → d	Z
IORWR R, d	W 与 R 相或	W | R → d	Z
XORWR R, d	W 与 R 异或	W ^ R → d	Z
LDWI I (MOVLW)	将立即数存到 W	I → W	NONE
ANDWI I	W 与立即数 I 相与	I & W → W	Z
IORWI I	W 与立即数 I 相或	I | W → W	Z
XORWI I	W 与立即数 I 异或	I ^ W → W	Z
ADDWI I	W 与立即数 I 相加	I + W → W	C, HC, Z
SUBWI I	立即数 I 减 W	I − W → W	C, HC, Z
RETW I	返回，将立即数 I 存到 W	Stack → PC; I → W	NONE

表 13-1 37 条 RISC 指令

字段	描述
R(F)	SFR/SRAM 地址
W	工作寄存器
b	8-bit 寄存器 R / RAM 中的位地址
I / Imm (k)	立即数
X	不关心，值可以为 0 或 1
d	目标寄存器选择 1 = 结果存放到寄存器 R / RAM 0 = 结果存放到 W
N	程序绝对地址
PC	程序计数器
/PF	掉电标志位
/TF	超时标志位
TRISr	TRISr 寄存器, r 可以是 A, C
C	进位 / 借位
HC	半进位 / 半借位
Z	0 标志位

表 13-2 操作码字段

名称	状态	寄存器	地址	复位值
Z	0标志位：算术或逻辑运算的结果为零？ 1 = Yes 0 = No	STATUS[2]		RW-x
HC	半进位 / 半借位 (ADDWR, ADDWI, SUBWI, SUBWR)：结果的第4低位向高位发生了进位或借位？ 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[1]	0x03 0x83	RW-x
C	进位 / 借位 (ADDWR, ADDWI, SUBWI, SUBWR)：结果的最高位发生了进位或借位？ 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[0]		RW-x

表 13-3 计算状态标志位

14. 特殊功能寄存器 (SPECIAL FUNCTION REGISTERS, SFR)

有 2 种特殊功能寄存器(SFR)：

- 初始化配置寄存器： 由仿真器界面设置(Integrated Development Environment, IDE)；
- 用户寄存器；

14.1 初始化配置寄存器

图 14-1 由 IDE 设置的初始化配置寄存器

名称	功能	默认
CPB	PROM 全区读保护	关闭
MCLRE	外部 I/O 复位	关闭
PWRTEB	上电延时定时器(PWRT)，初始化配置完成后额外延时~64ms	关闭
WDTE	WDT • 使能 (指令不能禁止) • 由指令控制 (SWDTEN)	SWDTEN 控制
FOSC	• LP：PA7 (+) 和 PA6 (−) 接外部低速晶振 • XT：PA7 (+) 和 PA6 (−) 接外部高速晶振 • EC：PA7 (+) 接外部时钟输入，PA6 为 I/O • INTOSC：PC5 输出“指令时钟”，PA6 和 PA7 为 I/O • INTOSCIO：PA6 和 PA7 为 I/O	INTOSCIO
TSEL	指令时钟与系统时钟 SysClk 的对应关系 (2T or 4T)： • 2 (指令时钟= SysClk/2) • 4 (指令时钟= SysClk/4)	2
FCMEN	故障保护时钟监控器 • 使能 • 关闭	使能
IESO	XT / LP 双速时钟启动 • 使能 • 关闭	使能
RDCTRL	当 TRISx = 0 时，读 PORTx 寄存器的返回值 • 输入锁存器 • 输出锁存器	输出
LVREN	LVR • 使能 • 关闭 • 非 SLEEP 模式下使能 • 通过指令控制 (SLVREN)	关闭
RBTENB	WDT 复位启动初始化配置 • 使能 • 关闭	关闭
LVRS	7 档 V_{BOR} 电压(V)： 2.0 / 2.2 / 2.5 / 2.8 / 3.1 / 3.6 / 4.1	2.0
LVDDEB	LVD 去抖 (仅≥ E 版本芯片支持) • 使能 • 关闭	关闭

表 14-1 初始化配置寄存器 (由 IDE 设置)

14.2 用户寄存器

用户寄存器，即特殊功能寄存器(SFR)和 SRAM 分布在 2 个 bank 中。在访问寄存器前，必须先切换到相应的 bank。

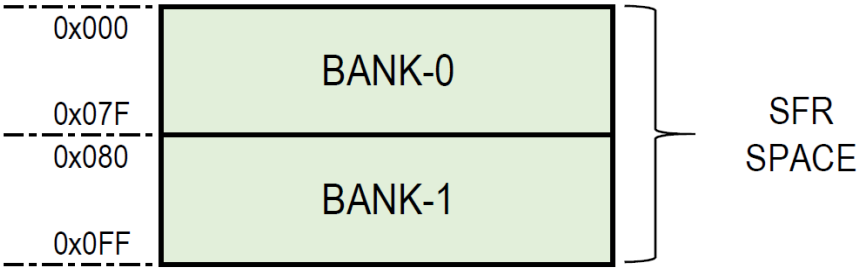


图 14-2 间接寻址

由于切换 bank 需要额外的指令，因此一些常用的 SFR 同时存储在 2 个 bank 中，以减少切换操作，这些 2 个 bank 所共有的寄存器值是同步的。

地址	名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
0, 80	INDF	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
2, 82	PCL	程序计数器 (PC) 低 8 位								0000 0000
3, 83	STATUS	-	-	PAGE	/TF	/PF	Z	HC	C	--01 1xxx
4, 84	FSR	间接寻址指针寄存器								xxxx xxxx
A, 8A	PCLATH	-	-	-	程序计数器 (PC) 高 5 位锁存器					---0 0000
B, 8B	INTCON	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
0x70 – 0x7F 0xF0 – 0xFF	公共 BANK SRAM 区									xxxx xxxx

表 14-2 2 个 BANK 共有的寄存器

地址	名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
0	INDF	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
1	TMR0	Timer0 计数器								xxxx xxxx
2	PCL	程序计数器低 8 位								0000 0000
3	STATUS	–	–	PAGE	/TF	/PF	Z	HC	C	0001 1xxx
4	FSR	间接寻址指针寄存器								xxxx xxxx
5	PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
6	–	–								---- ----
7	PORTC	–	–	PC5	PC4	PC3	PC2	PC1	PC0	--xx xxxx
8	–	–								---- ----
9	–	–								---- ----
A	PCLATH	–	–	–	程序计数器高 5 位锁存器					---0 0000
B	INTCON	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
C	PIR1	EEIF	CKMIF	LVDIF	–	–	OSFIF	TMR2IF	–	0000 0000
D	FOSCCAL	–	–	FOSCCAL [5:0]						--xx xxxx
E	P1ADTL	P1A 占空比寄存器低 8 位								0000 0000
F	P1BDTL	P1B 占空比寄存器低 8 位								0000 0000
10	P1CDTL	P1C 占空比寄存器低 8 位								0000 0000
11	TMR2L	TMR2 [7:0], TMR2 低 8 位								0000 0000
12	T2CON0	PR2U	TOUTPS [3:0]				TMR2ON	T2CKPS [1:0]		0000 0000
13	TMR2H	TMR2 [15:8], TMR2 高 8 位								0000 0000
14	P1ADTH	P1A 占空比寄存器高 8 位								0000 0000
15	P1BDTH	P1B 占空比寄存器高 8 位								0000 0000
16	P1CON	P1AUE	P1DC [6:0]							0000 0000
17	P1BR0	P1BEVT	P1BKS [2:0]			P1BSS [1:0]		P1ASS [1:0]		0000 0000
18	WDTCON	LVDP	WCKSRC [1:0]		WDTPS [3:0]				SWDTEN	0000 1000
19	P1BR1	P1C2SS [1:0]		P1B2SS [1:0]		P1CALT	P1BALT	P1CSS [1:0]		0000 0000
1A	P1CDTH	P1C 占空比寄存器高 8 位								0000 0000
1B	MSCON	–	–	PSRCAH [1:0]		SLVREN	CKMAVG	CKCNTI	T2CKRUN	0011 0000
1C	SOSCPRL	SOSCPR [7:0]								1111 1111
1D	SOSCPRH	–	–	–	–	SOSCPR [11:8]				---- 1111
1E	P1AUX	–	–	–	–	P1CF2E	P1CF2	P1BF2E	P1BF2	---- 0000
1F	T0CON0	–	–	–	–	T0ON	T0CKRUN	T0CKSRC [1:0]		---- 1000
20–3F	SRAM BANK0, (32 Bytes) 物理地址 0x20–0x3F (FT60F11x 未实现此部分)									xxxx xxxx
40–7F	SRAM BANK0, (64 Bytes) 物理地址 0x40–0x7F									xxxx xxxx

表 14-3 SFR, BANK 0

地址	名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
80	INDF	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
81	OPTION	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111
82	PCL	程序计数器低 8 位								0000 0000
83	STATUS	–	–	PAGE	/TF	/PF	Z	HC	C	--01 1xxx
84	FSR	间接寻址指针寄存器								xxxx xxxx
85	TRISA	TRISA [7:0]								1111 1111
86	–	–								---- ----
87	TRISC	–	–	TRISC [5:0]						--11 1111
88	PSRCA	PSRCA[7:0]								1111 1111
89	WPDA	WPDA [7:0]								0000 0000
8A	PCLATH	–	–	–	程序计数器高 5 位锁存器					---0 0000
8B	INTCON	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
8C	PIE1	EEIE	CKMIE	LVDIE	–	–	OSFIE	TMR2IE	–	000- -00-
8D	WPDC	–	–	WPDC[5:0]						--00 0000
8E	PCON	LVDM	LVDL [2:0]			LVDEN	LVDW	/POR	/BOR	0000 0xqq
8F	OSCCON	LFMOD	IRCF [2:0]			OSTS	HTS	LTS	SCS	0101 x000
90	P1OE	P1COE	P1BOE	P1A2NOE	P1A2OE	P1A1NOE	P1A1OE	P1A0NOE	P1A0OE	0000 0000
91	PR2L	PR2 [7:0], Timer2 周期寄存器低 8 位								1111 1111
92	PR2H	PR2[15:8], Timer2 周期寄存器高 8 位								1111 1111
93	WPUC	–	–	WPUC [5:0]						--00 0000
94	PSRCC	–	–	PSRCC [5:0]						--11 1111
95	WPUA	WPUA [7:0]								1111 1111
96	IOCA	IOCA [7:0]								0000 0000
97	PSINKA	PSINKA [7:0]								0000 0000
98	–	–								0000 0000
99	P1POL	P1CP	P1BP	P1A2NP	P1A2P	P1A1NP	P1A1P	P1A0NP	P1A0P	0000 0000
9A	EEDAT	EEDAT [7:0]								0000 0000
9B	EEADR	EEADR [7:0]								0000 0000
9C	EECON1	–	–	WREN3	WREN2	WRERR	WREN1	–	RD	--00 x0-0
9D	EECON2	–	–	–	–	–	–	–	WR	---- ---0
9E	T2CON1	–	–	–	P1OS	P1BZM	T2CKSRC [2:0]			---0 0000
9F	PSINKC	–	–	PSINKC [5:0]						--00 0000
A0–BF	SRAM BANK1 (32Bytes), 物理地址 0x00–0x1F (FT60F11X 未实现此部分)									xxxx xxxx
C0–EF	–									---- ----
F0–FF	SRAM, 访问 BANK0's 0x70–0x7F									xxxx xxxx

表 14-4 SFR, BANK 1

注：

1. INDF 不是物理寄存器；
2. 灰色部分表示没有实现；

3. 不要对未实现的寄存器位进行写操作；

14.3 STATUS 寄存器

名称	状态	寄存器	地址	复位值
PAGE	寄存器存储区(bank)选择位 0 = Bank 0 (0x00h – 0x7Fh) 1 = Bank 1 (0x80h – 0xFFh)	STATUS[5]		RW-0
/ TF	超时标志位 1 = 上电后，执行了 CLRWDT 或 SLEEP 指令 0 = 发生 WDT 超时溢出	STATUS[4]		RO-1
/PF	掉电标志位 1 = 上电复位后或执行了CLRWDT指令 0 = 执行了 SLEEP 指令	STATUS[3]		RO-1
Z	0 标志位：算术或逻辑运算的结果为零？ 1 = Yes 0 = No	STATUS[2]	0x03 0x83	RW-x
HC	半进位 / 半借位 (ADDWR, ADDWI, SUBWI, SUBWR)：结果的第4低位向高位发生了进位或借位？ 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[1]		RW-x
C	进位 / 借位 (ADDWR, ADDWI, SUBWI, SUBWR)：结果的最高位发生了进位或借位？ 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[0]		RW-x

表 14-5 Status 寄存器

注：

1. 同其他寄存器一样，STATUS 状态寄存器也可以作为任何指令的目标寄存器。但如果一条影响 Z、HC 或 C 位的指令以 STATUS 作为目标寄存器，那么对这三位的写操作将被禁止，Z、HC 和 C 位只受运算结果影响从而被置 1 或清 0。此时，当执行一条以 STATUS 作为目标寄存器的指令后，STATUS 的内容可能与预期不一致。
2. 建议只使用 BCR、BSR、SWAPR 和 STR 指令来操作 STATUS 寄存器。

14.4 PCL 和 PCLATH

程序区只有 1 个 Page (2k Words)，在 Page 的末尾 (0x7FF)将回滚到 Page 的开头 (0x000)。指令的地址宽度为 11 位，能寻址 2kW。LJUMP 和 LCALL 等长跳转指令，无需设置 PCLATH。

程序计数器(PC)为 11 位宽。其低 8 位来自可读写的 PCL 寄存器，高 3 位(PC[10:8])来自 PCLATH，不可直接读写。发生复位时，PC 将被清 0。图 14-3 显示了装载 PC 值的两种情形。

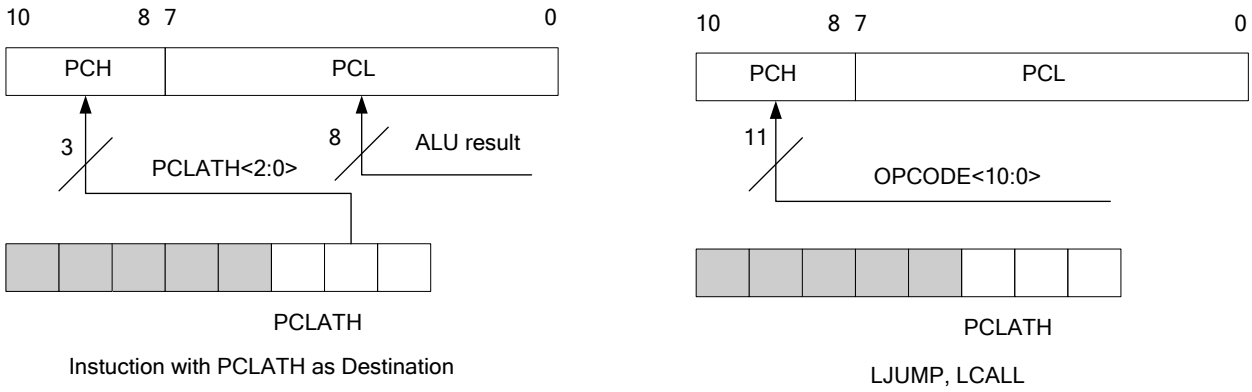


图 14-3 装载 PC 值的不同情况

执行任何以 PCL 寄存器为目标寄存器的指令将同时使程序计数器 PC[10:8]位被 PCLATH 内容所取代。因此可通过将所需的高 3 位先写入 PCLATH 寄存器来更改程序计数器 PC 的全部内容。

计算 LJUMP 指令是通过向程序计数器 PC 加入偏移量(ADDWR PCL)来实现的。因此通过修改 PCL 寄存器来跳转到查找表或程序分支表(计算 LJUMP)时应特别谨慎。假定 PCLATH 设置为表的起始地址，如果表的长度大于 255 条指令，或地址低 8 位在表的中间，计满至 0xFF 返回到 0x00，那么在每次表的起始地址或表内的目标地址发生计满返回时，PCLATH 必须递增。

INDF 不是物理存在的寄存器，对 INDF 进行寻址将产生间接寻址。

任何使用 INDF 寄存器的指令，实际上是对文件选择寄存器(File Select Register, FSR)所指向的单元进行存取。间接对 INDF 进行读操作将返回 0，间接对 INDF 进行写操作将导致空操作(可能会影响状态标志位)。

15. 电气特性

15.1 极限参数

工作环境温度等级 3…… $^{-}40 – ^{+}85°C$
工作环境温度等级 2…… $^{-}40 – ^{+}105°C$
工作环境温度等级 1…… $^{-}40 – ^{+}125°C$
存储温度…… $^{-}40 – ^{+}125°C$
结工作温度范围(Tj)…… $^{-}40 – ^{+}150°C$
电源电压…… V_{SS}-0.3V – V_{SS}+6.0V
端口输入电压…… V_{SS}-0.3V – V_{DD}+0.3V

注：

1. 超过上述“极限参数”所规定的范围，可能会对芯片造成永久性损坏。
2. 除非另作说明，所有特性值的测试条件为 25°C, V_{DD} =1.9 – 5.5V。
3. 本节所示的值和范围基于特性值，并非最终出货的标准值。
4. 除非另作说明，生产测试温度为 25°C。由于高温筛选不是常规测试流程，超出上述工作环境温度时，芯片的某些性能参数将不能保证。
5. 150°C 下，未经压力测试的典型数据保持时间大于 10 年。

15.2 工作特性

参数		最小值	典型值	最大值	单位	条件
Fsys (SysClk)	2T/4T	–	–	8	MHz	-40 – 85, V_{DD} = 1.9 – 5.5V
		–	–	16	MHz	-40 – 85, V_{DD} = 2.5 – 5.5V
指令周期 ($T_{INSTRCLK}$)	2T	–	125	–	ns	SysClk = HIRC
	4T	–	250	–	ns	
	2T	–	61	–	μs	SysClk = LIRC
	4T	–	122	–	μs	
T0CKI 高或低脉冲宽度		0.5 * T_{T0CK} + 20	–	–	ns	无预分频
		10	–	–	ns	有预分频
T0CKI 输入周期		Max. 20 and (T_{T0CK}+40)/N	–	–	ns	N = 1, 2, 4, …, 256 (预分频值)
上电复位保持时间 (T_{DRH})		–	8	–	ms	25°C, PWRT disable
外部复位脉冲宽度 (T_{MCLRB})		2000	–	–	ns	25°C
WDT 周期 (T_{WDT})		–	1	–	ms	预分频比 = 1:32

注： T_{T0CK} 是指由 T0CKSRC 所选的时钟周期。

15.3 POR, LVR, LVD

上电复位 (POR)

参数	最小值	典型值	最大值	单位	条件
I_{POR} 工作电流	–	0.14	–	μA	25°C , V_{DD} = 3.3V
V_{POR}	–	1.65	–	V	25°C

低电压复位 (LVR)

参数	最小值	典型值	最大值	单位	条件
I_{LVR} 工作电流	–	13.7	–	μA	25°C, V_{DD} = 3.3V
V_{LVR}, LVR 阈值	1.94	2.0	2.06	V	25°C
	2.13	2.2	2.27		
	2.42	2.5	2.58		
	2.72	2.8	2.88		
	3.01	3.1	3.19		
	3.49	3.6	3.71		
	3.98	4.1	4.22		
LVR delay	94	–	125	μs	25°C, V_{DD} = 1.9 – 5.5V

低电压检测 (LVD)

参数	最小值	典型值	最大值	单位	条件
I_{LVD} 工作电流	–	21.0	–	μA	25°C, V_{DD} = 3.3V
V_{LVD}, LVD 阈值	1.94	2.0	2.06	V	25°C
	2.33	2.4	2.47		
	2.72	2.8	2.88		
	2.91	3.0	3.09		
	3.49	3.6	3.71		
	3.88	4.0	4.12		
LVD delay	94	–	125	ns	25°C, V_{DD} = 1.9 – 5.5V

15.4 I/O 端口电路

参数			最小值	典型值	最大值	单位	条件
V_{IL}			0	–	0.3* V_{DD}	V	
V_{IH}			0.7* V_{DD}	–	V_{DD}	V	
漏电流			-1	–	1	μA	V_{DD} = 5V
源电流 (Source)	PA0–7	L0	–	-4	–	mA	25°C, V_{DD} = 5V, V_{OH} = 4.5V
	PA3–4, PC0–5	L1	–	-8	–		
	PA0–7, PC0–5	L2	–	-32	–		
灌电流 (Sink)	PA0–7, PC0–5	L0	–	56	–	mA	25°C, V_{DD} = 5V, V_{OL}= 0.5V
	PA0–7, PC0–5	L1	–	79	–		
上拉电阻			–	21	–	kΩ	–
下拉电阻			–	21	–	kΩ	–
上拉电阻			–	20	–	kΩ	同时使能上拉和下拉 [7]
下拉电阻			–	20	–	kΩ	

15.5 工作电流 (I_{DD})

参数		SysClk	典型值 @V_{DD}			单位
			2.0V	3.0V	5.5V	
正常模式 (2T) - I_{DD}		16 MHz	–	1.019	1.071	mA
		8 MHz	0.535	0.776	0.807	
		4 MHz	0.374	0.450	0.465	
		2 MHz	0.226	0.275	0.282	
		1 MHz	0.153	0.190	0.195	
		32 kHz	0.024	0.032	0.033	
Sleep 模式 (~~WDT OFF~~, ~~LVR OFF~~), I_{SB}		–	0.077	0.138	0.199	μA
Sleep 模式 (WDT ON, ~~LVR OFF~~)	LIRC	32 kHz	1.099	2.128	2.358	
	LP	–	–	24.005	27.468	
Sleep 模式 (~~WDT OFF~~, LVR ON)		–	10.185	13.679	17.975	
Sleep 模式 (WDT ON, LVR ON)		32 kHz	10.790	15.663	20.106	
Sleep 模式 (~~WDT OFF~~, ~~LVR OFF~~, LVD ON)		–	18.516	20.875	25.425	

注： Sleep 模式 I_{SB} 的测试条件为所有 I/O 设置成输入模式并外部下拉到 GND。

[7] ≥ E 版本芯片，当 PA2, PA3 和 PA7 同时使能上下拉时，其输入功能被禁止。

15.6 内部振荡器

内部低频振荡器 (LIRC)

测试条件为 LIRC 选择 32 kHz (LFMOD=0)。

参数	最小值	典型值	最大值	单位	条件
频率范围	30.4	32	33.6	kHz	25°C, V_{DD} = 2.5V
随温度变化范围	-2.0%	–	2.0%	–	-40 – 85°C, V_{DD} = 2.5V
随电源电压变化范围	-4.0%	–	2.0%	–	25°C, V_{DD} = 1.9 – 5.5V
I_{LIRC} 工作电流	–	2.0	–	μA	25°C, V_{DD} = 3.0V
启动时间	–	4.6	–	μs	25°C, V_{DD} = 3.0V

内部高频振荡器 (HIRC)

参数	最小值	典型值	最大值	单位	条件
频率范围	15.76	16	16.24	MHz	25°C, V_{DD} = 2.5V
随温度变化范围	-8.5%	±4.0%	6.0%	–	-40 – 85°C, V_{DD} = 2.5V
随电源电压变化范围	-1.0%	–	2.0%	–	25°C, V_{DD} = 1.9 – 5.5V
I_{HIRC} 工作电流	–	51	–	μA	25°C, V_{DD} = 3.0V
启动时间	–	2.5	–	μs	25°C, V_{DD} = 3.0V

15.7 Program 和 Data EEPROM

参数		最小值	典型值	最大值	单位	条件
$V_{DD-READ}$	Program/Data EE 读电压	V_{POR}	–	5.5	V	-40 – 85 / 105°C
$V_{DD-WRITE}$	Program EE 写电压	2.5	–	5.5	V	-40 – 85 / 105°C
	Data EE 写电压	1.9	–	5.5		
N_{END}	Program EE 擦/写次数	100 k	–	–	cycle	25 °C
		40 k	–	–		85 °C
		10 k	–	–		105 °C
	Data EE 擦/写次数	1,000 k	–	–		25 °C
		400 k	–	–		85 °C
		100 k	–	–		105 °C
T_{RET}	Program EE 数据保持	20	–	–	年	1k 次擦写后 @ 85 °C
		10	–	–		1k 次擦写后 @ 105 °C
	Data EE 数据保持	20	–	–		10k 次擦写后 @ 85 °C
		10	–	–		10k 次擦写后 @ 105 °C
T_{WRITE}	Data EE 写时间	–	2.0	–	ms	–
I_{PROG}	Data EE 编程电流	–	250	–	μA	25 °C, V_{DD} = 3 V

15.8 EMC 特性

ESD

参数		最小值	典型值	最大值	单位	条件
V_{ESD}	HBM	4000	–	–	V	MIL-STD-883H Method 3015.8
V_{ESD}	MM	200	–	–	V	JESD22-A115

Latch-up

参数	最小值	典型值	最大值	单位	条件
LU, static latch-up	200	–	–	mA	EIA/JESD 78

EFT

参数	最小值	典型值	最大值	单位	条件
V_{EFT}	5.5	–	–	kV	V_{DD} (5V) 与 GND 间的电容：1μF

16. 特性图

注： 特性图基于特性值，仅供参考，未经生产测试。

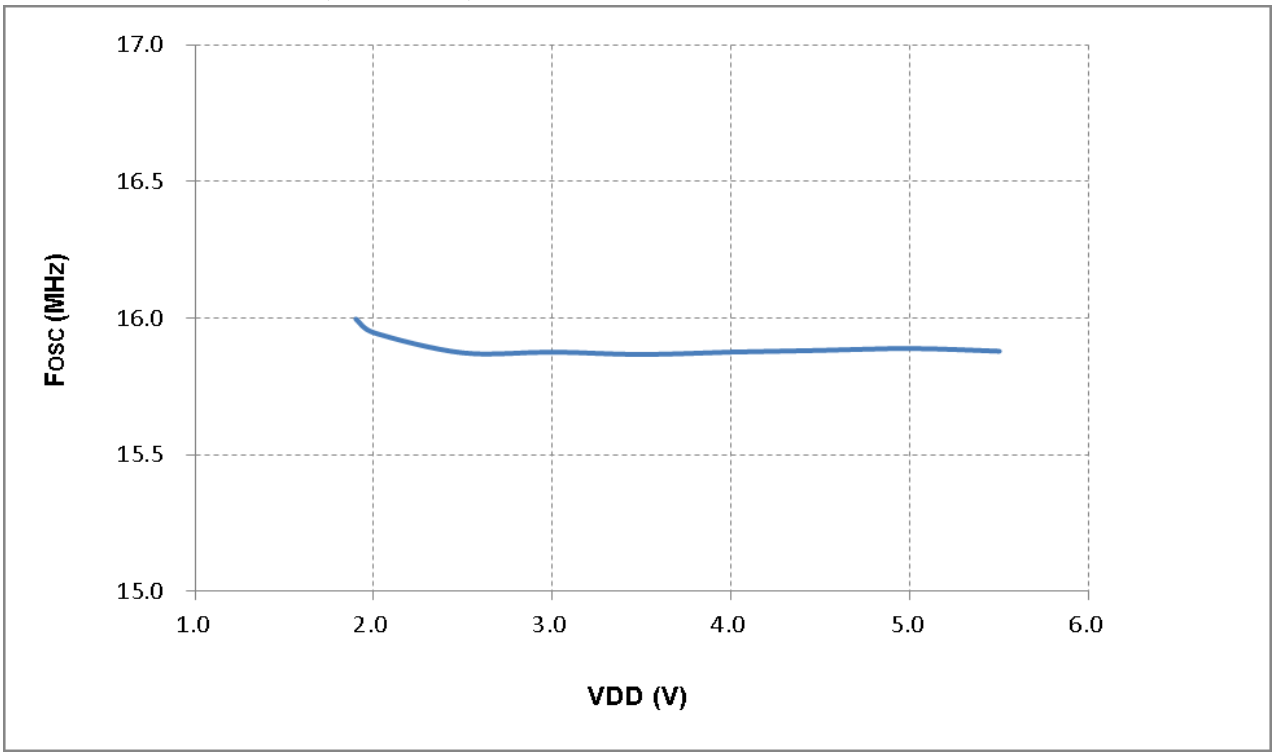


图 16-1 HIRC vs. V_{DD} (T_A = 25°C)

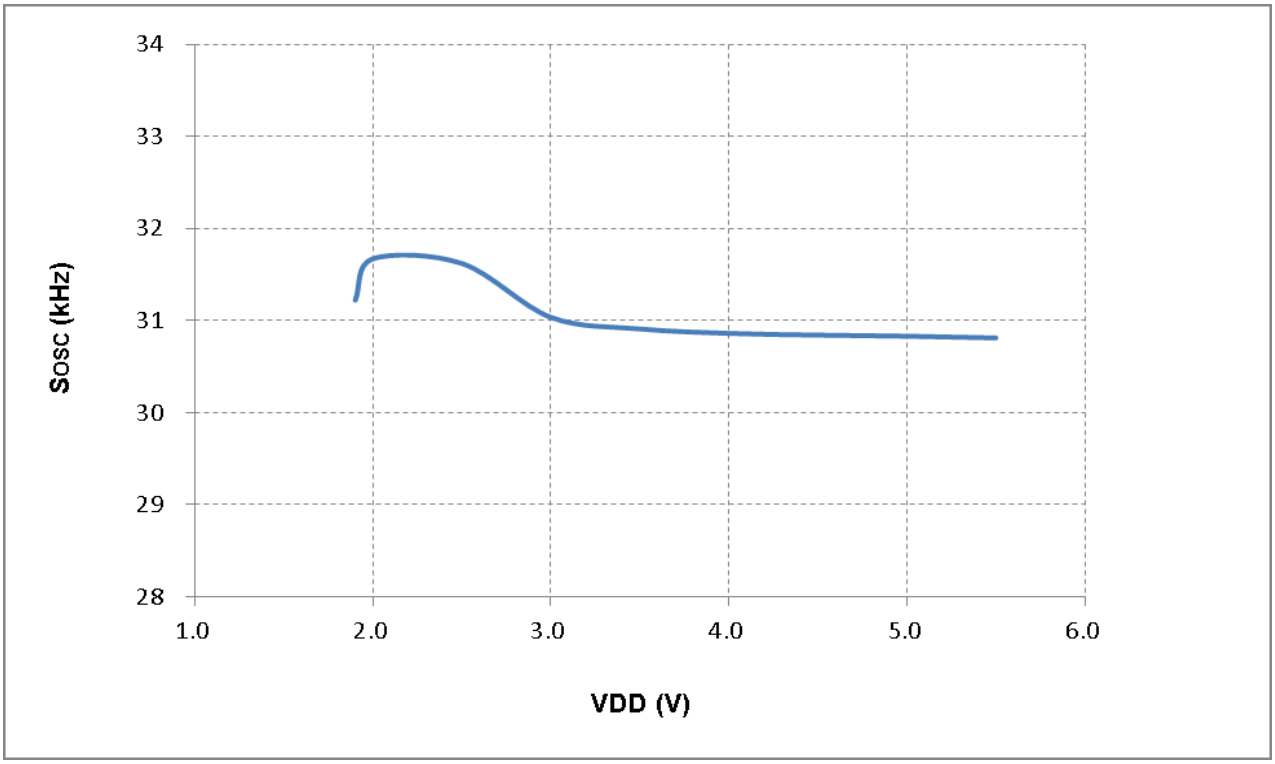


图 16-2 LIRC vs. V_{DD} (T_A = 25°C)

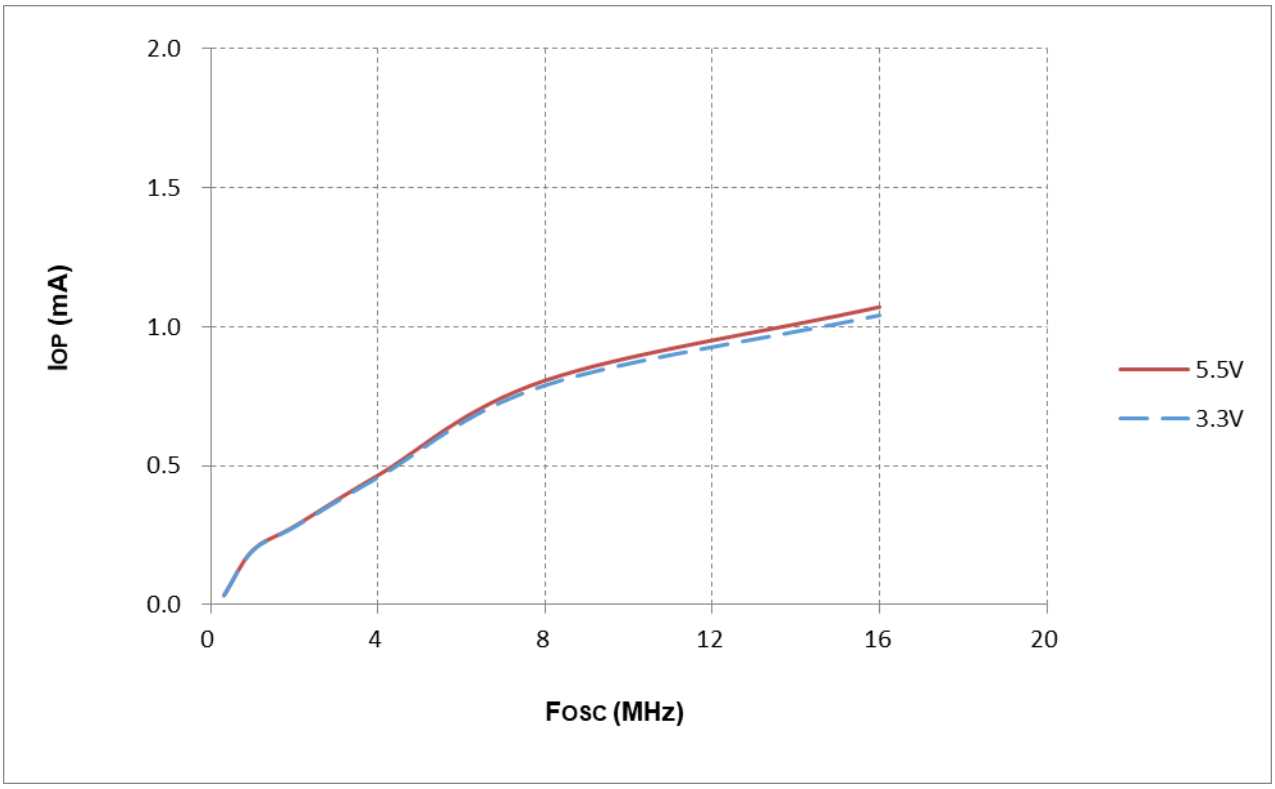


图 16-3 I_{DD} vs. Frequency (2T, T_A = 25°C)

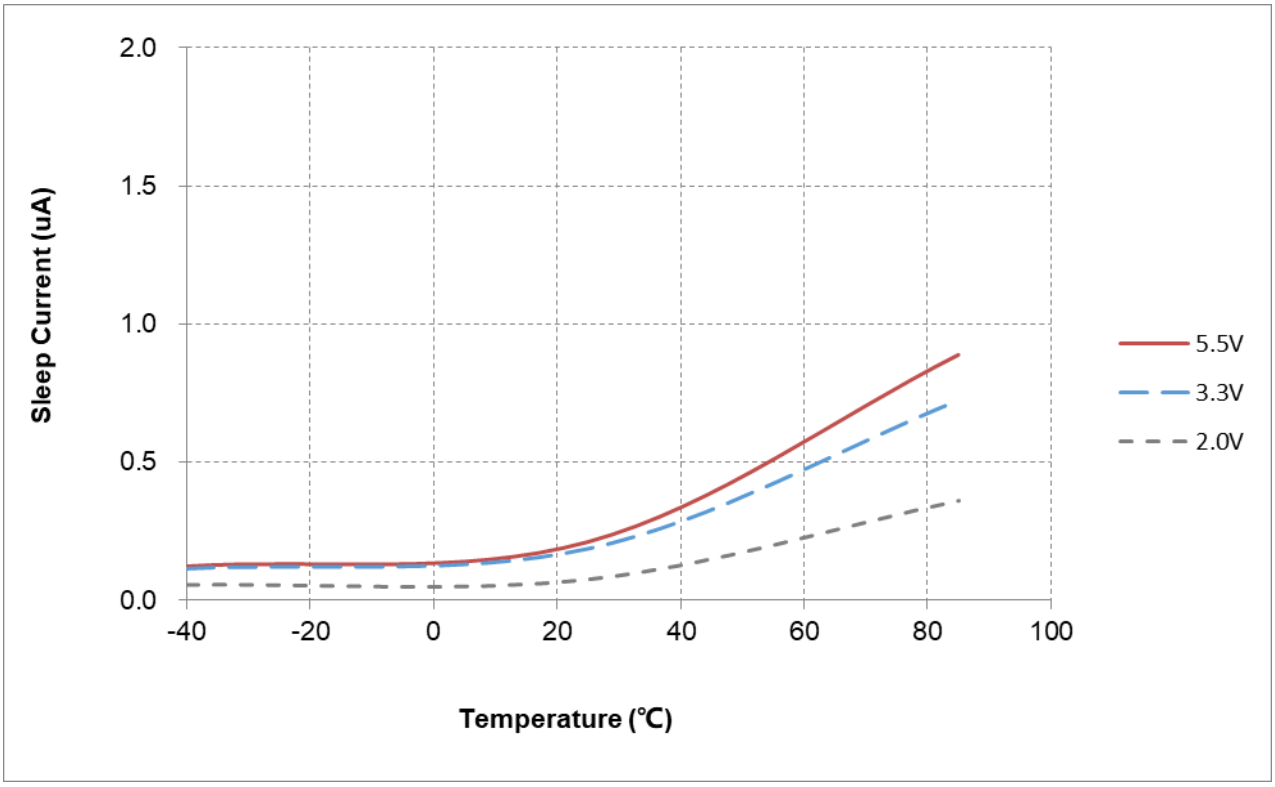


图 16-4 Sleep Current (I_{SB}) vs. Temperature

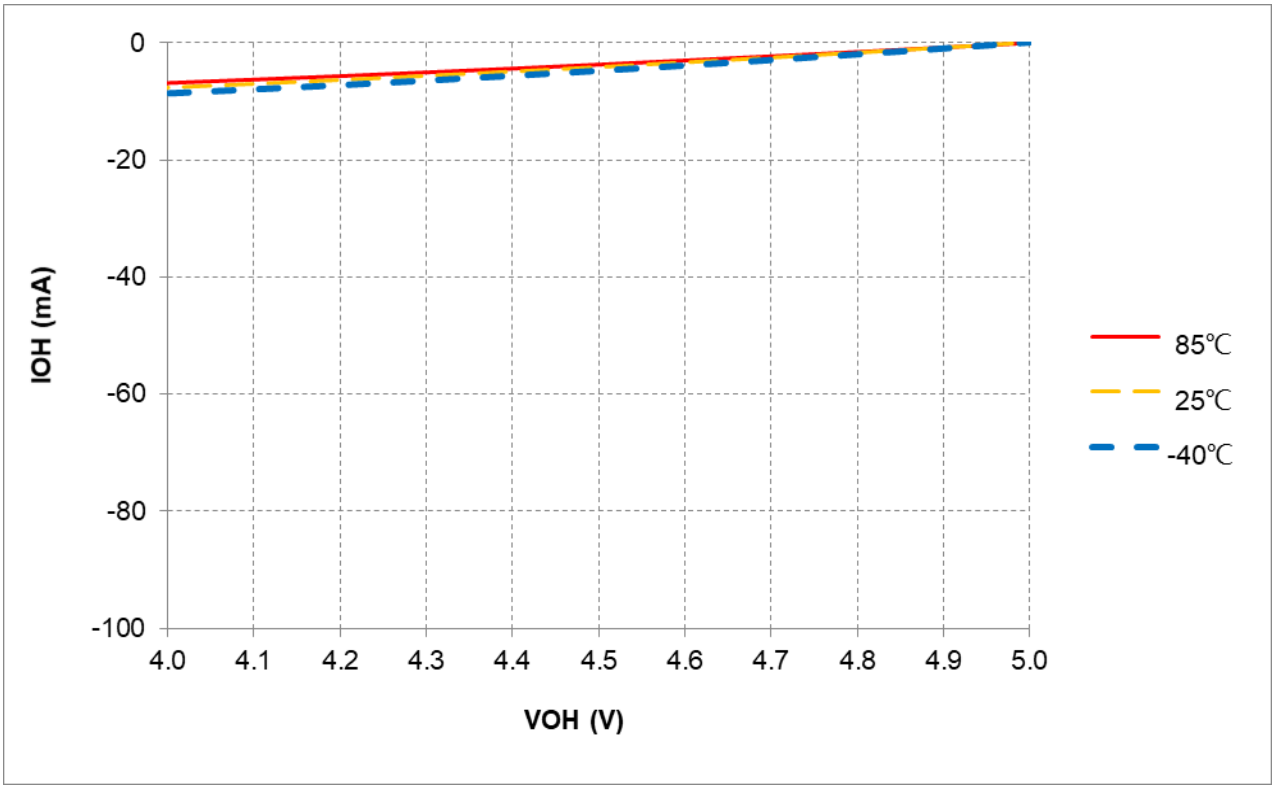


图 16-5 I_{OH} vs. V_{OH} @L0 = -4mA, V_{DD} = 5V

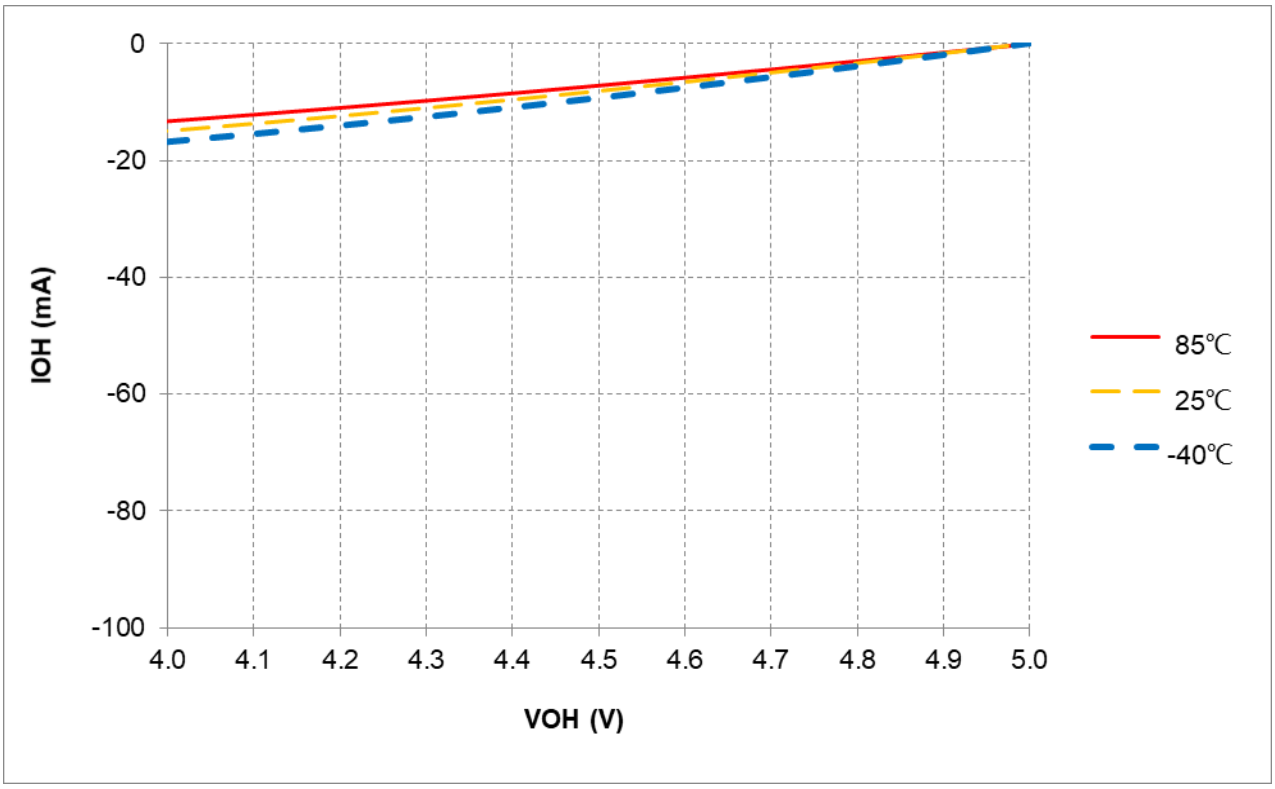


图 16-6 I_{OH} vs. V_{OH} @L1 = -8mA, V_{DD} = 5V

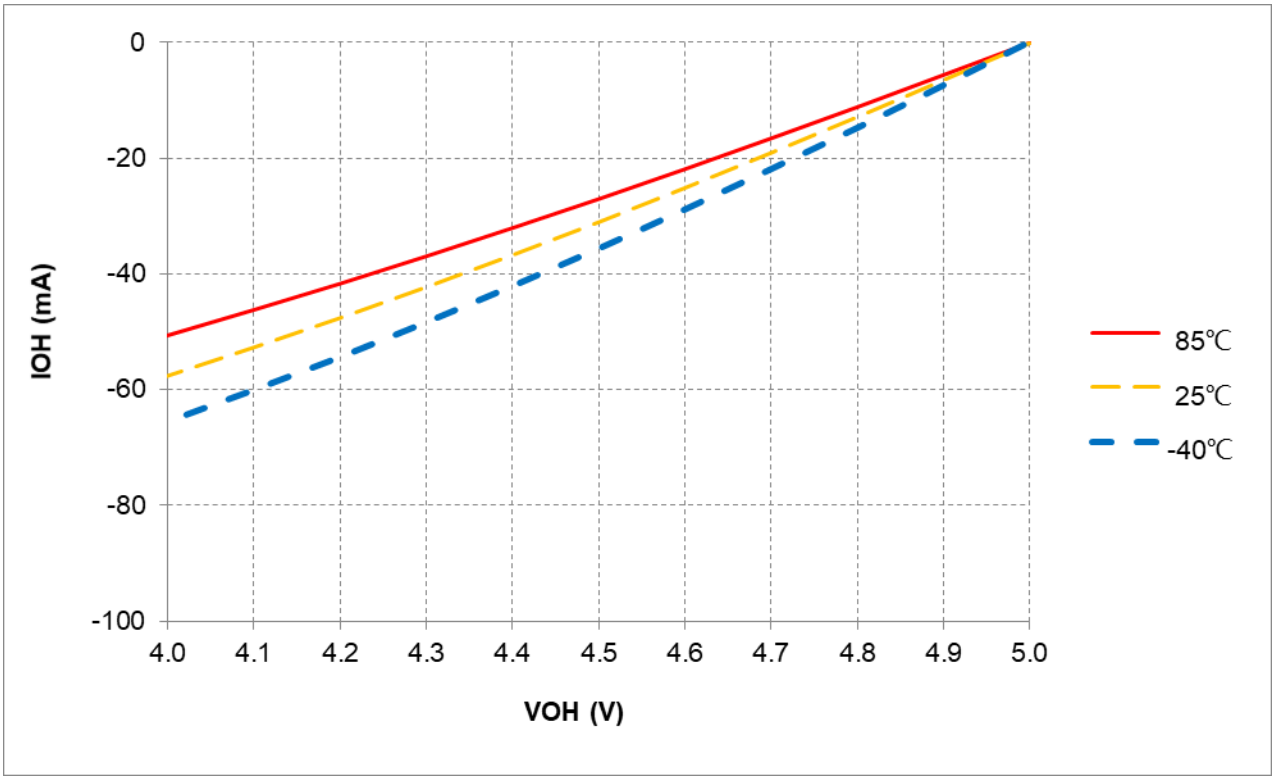


图 16-7 I_{OH} vs. V_{OH} @L2 = -32mA, V_{DD} = 5V

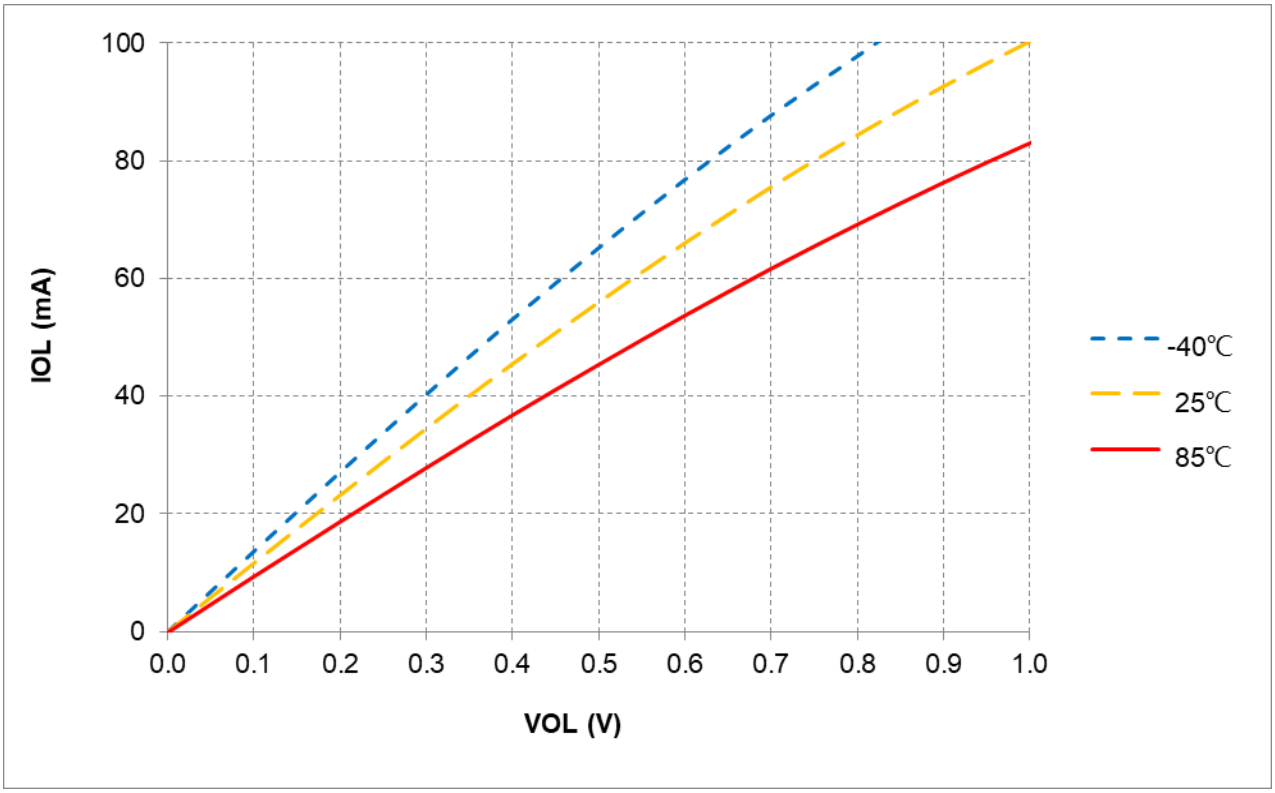


图 16-8 I_{OL} vs. V_{OL} @L0 = 56mA, V_{DD} = 5V

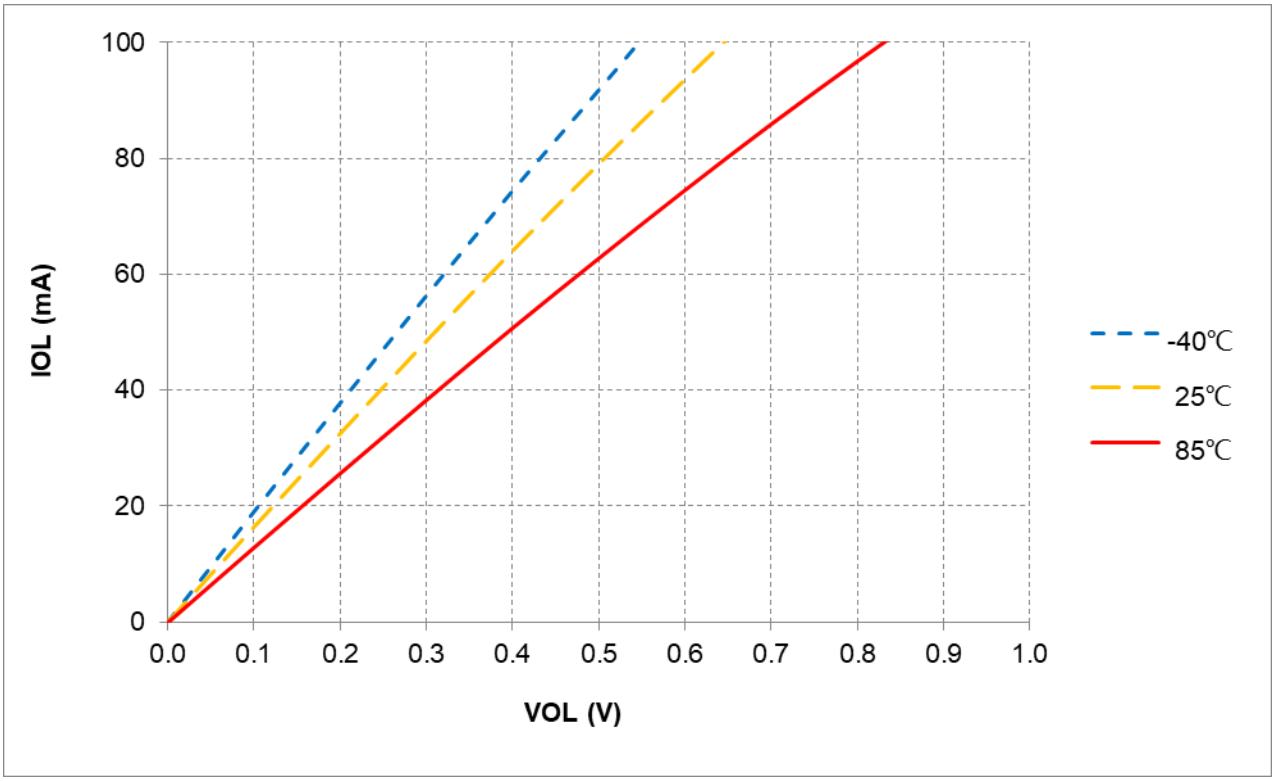
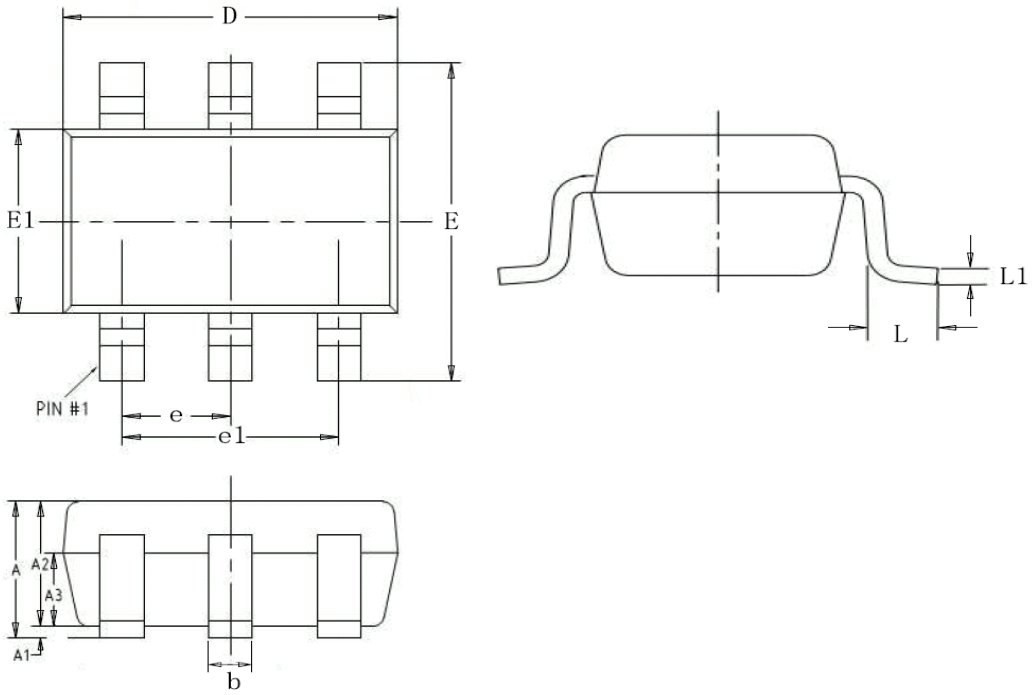


图 16-9 I_{OL} vs. V_{OL} @L1 = 79mA, V_{DD} = 5V

17. 封装信息

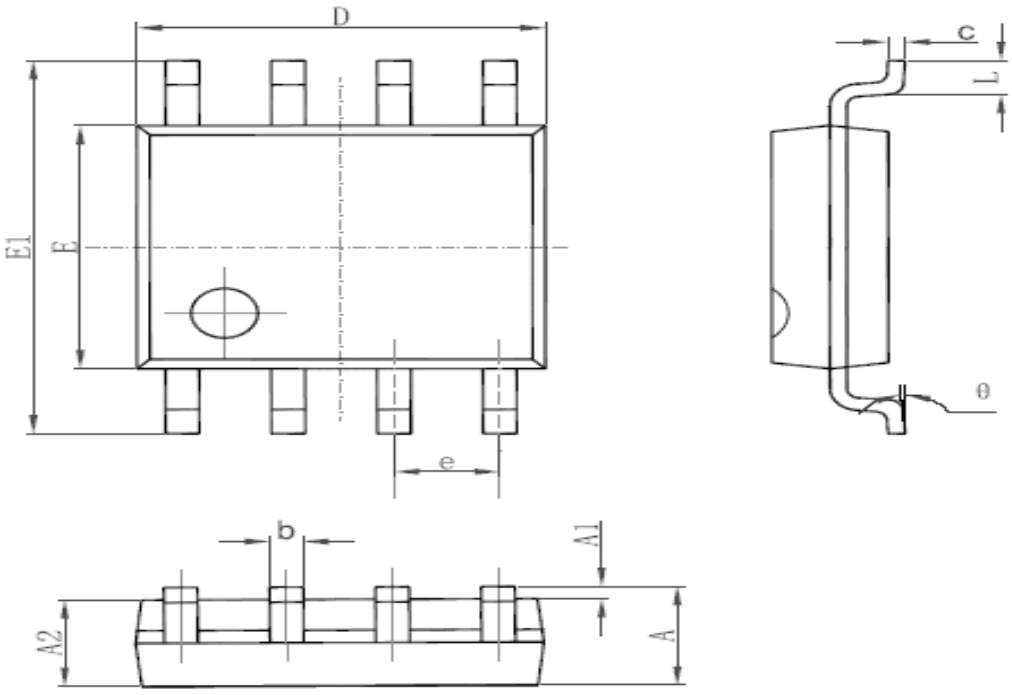
本芯片的封装形式有 SOT23-6、SOP8、MSOP10、SOP14 和 SOP16 封装。具体封装尺寸信息如下：

SOT23-6



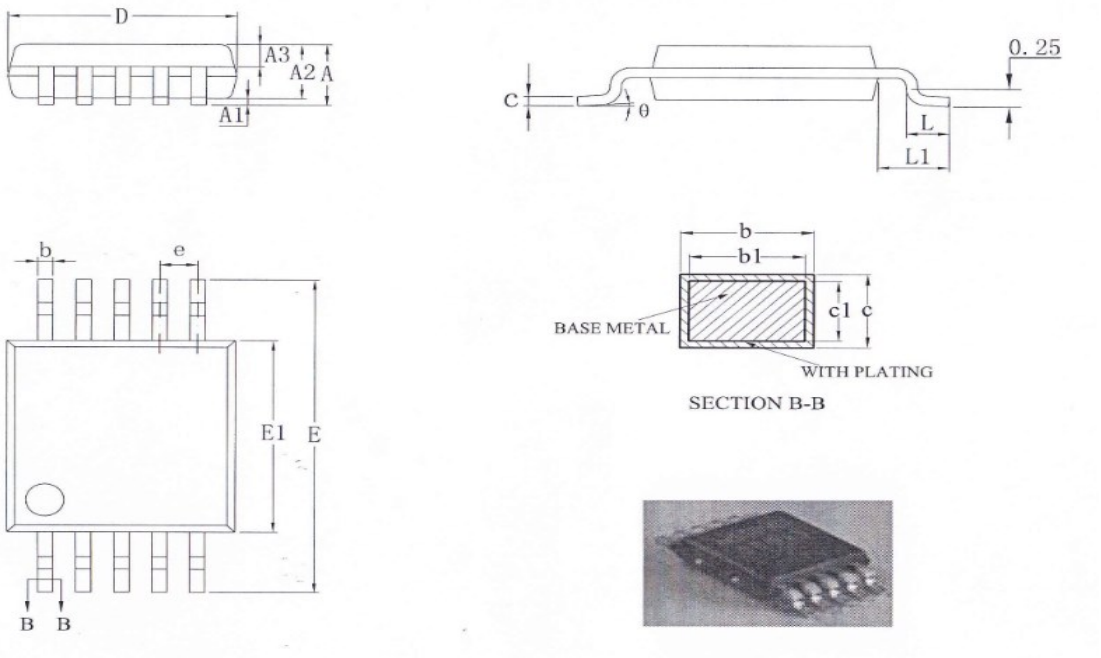
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	—	1.300	—	0.051
A1	0.040	0.100	0.002	0.004
A2	1.050	1.150	0.041	0.045
A3	0.600	0.700	0.024	0.028
e	0.920	0.980	0.036	0.039
e1	1.850	1.950	0.073	0.077
b	0.350	0.450	0.014	0.018
D	2.820	2.920	0.111	0.115
E	2.650	2.950	0.104	0.116
E1	1.550	1.650	0.061	0.065
L	0.400	0.500	0.016	0.020
L1	0.25BSC		0.010BSC	

SOP8



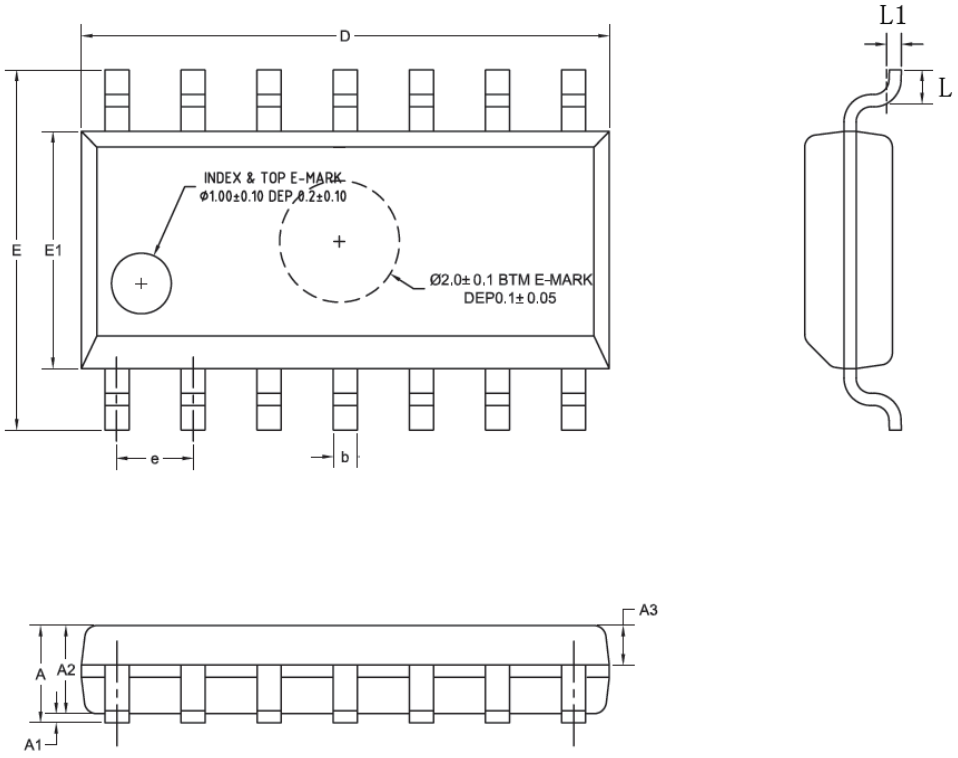
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

MSOP10



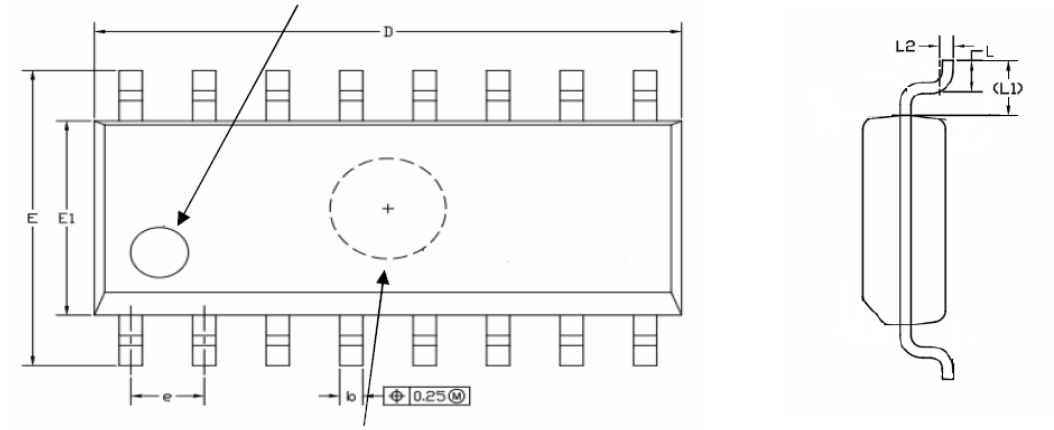
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	–	1.100	–	0.043
A1	0.050	0.150	0.002	0.006
A2	0.750	0.950	0.030	0.037
A3	0.300	0.400	0.012	0.016
b	0.180	0.260	0.007	0.010
b1	0.170	0.230	0.007	0.009
c	0.150	0.190	0.006	0.007
c1	0.140	0.160	0.006	0.006
D	2.900	3.100	0.114	0.122
E	4.700	5.100	0.185	0.201
E1	2.900	3.100	0.114	0.122
e	0.500 (BSC)		0.020 (BSC)	
L	0.400	0.700	0.016	0.028
L1	0.950 (REF)		0.037 (REF)	
θ	0	8°	0	8°

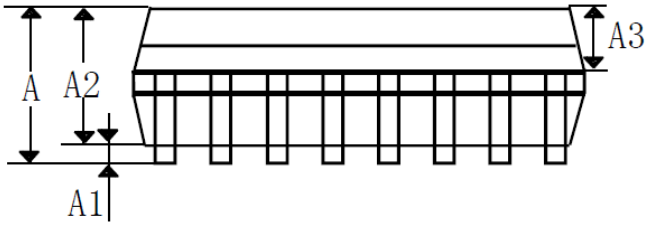
SOP14



Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	–	1.700	–	0.066
A1	0.100	0.200	0.004	0.008
A2	1.300	1.500	0.051	0.059
A3	0.600	0.700	0.023	0.027
b	0.370	0.420	0.015	0.016
D	8.500	8.700	0.334	0.342
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
e	1.240	1.300	0.048	0.051
L	0.500	0.700	0.020	0.027
L1	0.250 (BSC)		0.010 (BSC)	

SOP16





Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	–	1.700	–	0.066
A1	0.100	0.200	0.004	0.008
A2	1.420	1.480	0.056	0.058
A3	0.620	0.680	0.024	0.027
D	9.960	10.160	0.392	0.396
E	5.900	6.100	0.232	0.238
E1	3.870	3.930	0.152	0.153
b	0.370	0.430	0.015	0.017
e	1.240	1.300	0.048	0.051
L	0.500	0.700	0.020	0.027
L1	1.050 (REF)		0.041 (REF)	
L2	0.250 (BSC)		0.010 (BSC)	

联系信息

Fremont Micro Devices Corporation

#5−8, 10/F, Changhong Building
Ke-Ji Nan 12 Road, Nanshan District,
Shenzhen, Guangdong, PRC 518057

Tel: (+86 755) 8611 7811
Fax: (+86 755) 8611 7810

Fremont Micro Devices (HK) Limited

#16, 16/F, Block B, Veristrong Industrial Centre,
34−36 Au Pui Wan Street, Fotan, Shatin, Hong Kong SAR

Tel: (+852) 2781 1186
Fax: (+852) 2781 1144

http://www.fremontmicro.com

* Information furnished is believed to be accurate and reliable. However, Fremont Micro Devices Corporation assumes no responsibility for the consequences of use of such information or for any infringement of patents of other rights of third parties, which may result from its use. No license is granted by implication or otherwise under any patent rights of Fremont Micro Devices Corporation. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. Fremont Micro Devices Corporation products are not authorized for use as critical components in life support devices or systems without express written approval of Fremont Micro Devices Corporation. The FMD logo is a registered trademark of Fremont Micro Devices Corporation. All other names are the property of their respective owners.